

Docket No.: 57454-309

PATENT

JC978 U.S. PTO  
09/996574  
11/30/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shigeki TOMISHIMA

Serial No.:

Group Art Unit:

Filed: November 30, 2001

Examiner:

For: SEMICONDUCTOR MEMORY DEVICE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:

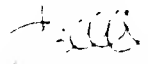
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application Number 2001-124350, Filed April 23, 2001.**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:kjw  
**Date: November 30, 2001**  
Facsimile: (202) 756-8087

5,145,131  
Shigeki Tomishima  
November 30, 2001

日本国特許庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2001年 4月23日

出願番号  
Application Number:

特願2001-124350

出願人  
Applicant(s):

三菱電機株式会社

JC978 U.S. PTO  
09/996574  
11/30/01

2001年 5月18日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造

出証番号 出証特2001-3042663

【書類名】 特許願

【整理番号】 529967JP01

【提出日】 平成13年 4月23日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34  
H01L 27/10

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 富嶋 茂樹

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行列状に配列される複数のメモリセル、

前記メモリセルの行に対応して配置され、各々に対応の行のメモリセルが接続される複数のサブワード線、

前記複数のサブワード線の所定数のサブワード線に各々が対応して配置され、各々が行選択信号を伝達する、第 1 の導電層に配置される複数のメインワード線

、  
前記第 1 の導電層下に形成される第 2 の導電層に前記複数のサブワード線に対応して配置され、各々が対応のサブワード線と所定の間隔で電氣的に接続される複数のシャント用配線、および

各前記サブワード線に対応して配置され、各々が少なくとも対応のメインワード線上の行選択信号に従って対応のサブワード線およびシャント用配線を選択状態に駆動する複数のサブワードドライバを備える、半導体記憶装置。

【請求項 2】 前記第 1 の導電層は、第 3 層金属配線層であり、前記第 2 の導電層は、第 1 層金属配線層である、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記サブワード線の各々は、対応のシャント用配線と少なくともその両端において電氣的に接続される、請求項 1 記載の半導体記憶装置。

【請求項 4】 前記第 1 および第 2 の導電層と異なる第 3 の配線層に形成され、所定電圧レベルの中間電圧を伝達する中間電圧伝達線をさらに備える、請求項 1 記載の半導体記憶装置。

【請求項 5】 前記第 3 の導電層は、前記第 1 および第 2 の導電層の間の配線層に形成される第 2 層金属配線である、請求項 4 記載の半導体記憶装置。

【請求項 6】 前記メモリセルは、情報を記憶するための容量を有し、前記中間電圧は、前記容量の基準電源ノードに印加される、請求項 4 記載の半導体記憶装置。

【請求項 7】 前記基準電源ノードは前記第 2 導電層下に形成され、前記第 3 の配線層は、前記基準電源ノードに前記第 2 導電層に形成される金属配線を介

して電氣的に接続される、請求項 6 記載の半導体記憶装置。

【請求項 8】 前記サブワード線は、行方向に沿って複数のグループに分割され、

前記サブワードドライバは、各グループ単位で選択動作を行なう、請求項 1 記載の半導体記憶装置。

【請求項 9】 前記第 1 導電層と異なる配線層に、前記メモリセルが配置されるメモリセルアレイ上にわたって配置され、電源電圧を伝達するための電源線をさらに備える、請求項 1 記載の半導体記憶装置。

【請求項 10】 前記半導体記憶装置は、ロジック回路と同一半導体基板上に集積化される混載メモリである、請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に多層金属配線構造の半導体記憶装置に関する。より特定的には、この発明は、ロジック回路と同一半導体基板上に集積化される混載メモリのワード線の構成に関する。

【0002】

【従来の技術】

図 17 (A) は、従来の DRAM (ダイナミック・ランダム・アクセス・メモリ) のアレイマツト (メモリマツト) の配置を概略的に示す図である。図 17 (A) において、この DRAM は、半導体チップ CH 上の 4 分割領域にそれぞれ配置される 4 つのメモリマツト MM0 - MM3 を含む。これらのメモリマツト MM0 - MM3 の各々は、たとえば、16 Mビットの記憶容量を有し、この DRAM は、合計 64 Mビットの記憶容量を有する。

【0003】

メモリマツト MM0 および MM2 とメモリマツト MM1 および MM3 の間の領域に、周辺回路 PH0 が配置され、メモリマツト MM0 および MM2 の間に周辺回路 PH1 が配置され、メモリマツト MM1 および MM3 の間の領域に、周辺回路 PH2 が配置される。周辺回路 PH0 は、たとえば周辺制御回路を含み、これ

らのメモリマツトMM0-MM3の動作を制御する。周辺回路PH1およびPH2は、それぞれ、たとえばデータ入出力回路およびアドレス入力回路を含む。これらの周辺回路PH1およびPH2は、また、周辺回路PH0に含まれる主制御回路からの制御信号に従って、対応のメモリマツトMM0-MM3に対する動作を制御するローカル制御回路を含んでもよい。

## 【0004】

この半導体チップCH上の4分割領域にメモリマツトMM0-MM3を分割して配置することにより、メモリマツトMM0-MM3それぞれにおけるワード線およびビット線の長さを短くし、メモリセルの選択およびデータ転送に要する時間を短縮する。

## 【0005】

図17(B)は、図17(A)に示すメモリマツトMM0-MM3の構成の一例を概略的に示す図である。これらのメモリマツトMM0-MM3の各々は同一構成を有するため、図17(B)において、1つのメモリマツトMMの配置を示す。図17(B)において、メモリマツトMMは、行方向において、ワード線シャント領域SHTにより16個のサブブロックSUBに分割され、列方向においてセンスアンプ帯SABにより32個のサブブロックSUBに分割される。

## 【0006】

サブブロックSUB内においては、256本のワード線と128対のビット線が配置され、したがって、サブブロックSUBは、32Kビットの記憶容量を有する。

## 【0007】

ワード線シャント領域SHTは、高抵抗のメモリセルトランジスタのゲートに接続されるワード線と、このワード線の上方にアルミニウムなどで形成される低抵抗の金属配線とを電氣的に接続する領域である。金属配線とワード線とをシャント領域SHTにおいて電氣的に接続することにより、ワード線の抵抗を等価的に低下させてワード線駆動信号を高速で、その末端にまで伝達させる。

## 【0008】

センスアンプ帯SABにおいては、ビット線対に対応してセンスアンプ回路が

配置される。このセンスアンプ回路は、列方向において隣接するサブブロック SUB のビット線対により共有される。

#### 【 0 0 0 9 】

メモリマット MM に対しコラムデコーダ CD が設けられる。サブブロック SUB は、行方向に整列するサブブロック SUB 単位で活性化される。コラムデコーダ CD の列選択信号は、列方向に整列するサブブロック SUB に共通に与えられる。しかしながら、選択状態にあるサブブロックに対して設けられたローカル内部データ線のみが、たとえば行ブロック選択信号に従ってグローバル内部データ線（IO 線）に結合される。

#### 【 0 0 1 0 】

この図 1 7 (B) に示すように、メモリマット MM を列方向においてサブブロック SUB に分割することにより、ビット線対の長さを短くし、ビット線負荷を低減して、高速のセンス動作を実現する。また、ワード線シャント領域 SH T を設けることにより、以下に説明するように、高速でワード線を選択状態へ駆動する。

#### 【 0 0 1 1 】

図 1 8 は、行方向に整列して配置されるサブブロック SUB に対するワード線 WL の配置を概略的に示す図である。行方向に整列して配置されるサブブロック SUB に対し、共通にワード線 WL が配置される。このワード線 WL は、ワードドライバ WD により駆動される。隣接サブブロック SUB の間には、ワード線シャント領域 SH T が配置される。

#### 【 0 0 1 2 】

図 1 9 は、この図 1 8 に示すワード線の構成を概略的に示す図である。図 1 9 において、ワード線 WL の上層に、このワード線 WL と平行して低抵抗の金属配線 U P L が配置される。これらの金属配線 U P L およびワード線 WL は、ともにワードドライバ WD に結合される。金属配線 U P L およびワード線 WL は、シャント領域 SH T において、コンタクト C N T を介して電氣的に接続される（短絡される）。1 つのサブブロックにおいて、金属配線 U P L は抵抗  $r$  を有し、一方、ワード線 WL は、抵抗  $R$  を有する。通常、ワード線 WL は、メモリセルトラン

ジスタのゲートと同様、ポリシリコンで構成され、その抵抗が大きい。メモリマットの一端に配置されたワードドライバWDにより、この高抵抗のワード線WLを駆動する場合、ワードドライバWDから、最も遠く離れたサブブロックSUBまで伝達されるワード線駆動信号の伝播遅延が大きくなる。この信号伝搬遅延のために、高速でワード線を選択状態へ駆動することができなくなる。

## 【 0 0 1 3 】

このワード線駆動信号の伝搬遅延を低減するために、金属配線UPLをワード線WLと平行にその上層に配置し、シャント領域SHTにおいて、コンタクトCNTにより電氣的に接続する。このようなワード線WLを、所定間隔で、低抵抗の金属配線と電氣的に接続する（短絡する）構成は、ワード線杭打ち（裏打ち）構造と呼ばれる。金属配線UPLは、抵抗値が小さく、その信号伝搬遅延は小さい。これにより、ワードドライバWDからのワード線駆動信号を、最遠方のサブブロックにまで高速で伝達し、ワード線WLを高速で選択状態へ駆動する。

## 【 0 0 1 4 】

図20は、従来のDRAMの他のアレイマト配置を概略的に示す図である。図20において、このDRAMは、4分割領域それぞれに配置されるメモリブロック領域MB0-MB3を含む。メモリブロックMB0およびMB1とメモリブロックMB2およびMB3の間に周辺回路PHAが配置される。メモリブロックMB0およびMB1の間にロウデコーダRDが配置され、またメモリブロックMB2およびMB3の間にロウデコーダRDが配置される。

## 【 0 0 1 5 】

メモリブロック領域MB0-MB3の各々は、4つのメモリサブアレイ（メモリマット）MRY0-MRY3を含む。これらのメモリサブアレイMRY0-MRY3それぞれに対応して、コラムデコーダCDが配置される。メモリサブアレイMRY0およびMRY1の間に、内部データ線が配置され、メモリサブアレイMRY2およびMRY3の間の領域に内部データ線が配置される。

## 【 0 0 1 6 】

この図20に示すDRAMは、記憶容量が512Mビットであり、メモリブロック領域MB0-MB3それぞれにおいて、128Mビットのメモリセルが配置

される。すなわち、メモリサブアレイMRY0-MRY3それぞれが、32Mビットの記憶容量を有する。

#### 【0017】

この図20に示すDRAMにおいては、メモリアレイMRY0-MRY3のそれぞれは、メモリセルの設計ルールが小さくされ、このメモリトランジスタが微細化されて、その占有面積の増大は抑制されている。しかしながら、メモリマット（メモリサブアレイ）の記憶容量数が、32Mビットと大きくなっており、メモリサブアレイMBの一端に配置されたロウデコーダから行選択信号が対応のメモリアレイMRY0-MRY3に共通に伝達されるため、ワード線の長さが長くなり、上述のワード線杭打ち構造を利用しても、高速化の要求を満たすことができなくなっている。

#### 【0018】

また、256Mビットの記憶容量のDRAMにおいても、同様のメモリマット配置が用いられ、各メモリマット（メモリサブアレイ）の記憶容量は16Mビットである。この場合、1つのメモリサブアレイMRY（MRY0-MRY3）の記憶容量は16Mビットであり、メモリアレイの間の領域にロウデコーダを配置した場合、図17に示すメモリマットの構成と同様となる。したがって、ワード線杭打ち構造を利用することにより、ワード線駆動信号の伝搬遅延時間を低減することができる。しかしながら、256MビットDRAMにおいて、動作条件として、さらに高速動作が要求されてきており、ワード線杭打ち構造によるワード線駆動信号の伝搬遅延を低減するだけでは、上層の金属配線UPL（図19参照）の信号伝搬遅延時間を無視することができない値となり、高速動作の要求を満たすことができなくなる状況となってきた。

#### 【0019】

このワード線杭打ち方式に代えて、さらに高速でワード線を駆動するために、階層ワードドライブ方式が利用される。

#### 【0020】

図21は、階層ワードドライブ方式に従うワード線の構成を概略的に示す図である。図21においては、1つのメモリサブアレイが、行方向において、サブワ

ードドライバ帯SWBにより、複数のメモリサブブロックMSBKに分割される。これらの行方向に整列して配置されるメモリサブブロックMSBKに対し共通にメインワード線MWLが配置される。メモリサブブロックMSBKそれぞれにおいて、サブワード線SWLが配置される。このサブワード線SWLは、対応のメモリサブブロックMSBKのメモリセル行それぞれに対応して配置され、対応の行のメモリセルに接続される。このサブワード線SWLは、メモリセルトランジスタのゲート材料と同様、ポリシリコンで構成され、その抵抗値は高い。

#### 【0021】

サブワードドライバ帯SWBにおいて、サブワード線に対応して、サブワードドライバSWDが配置される。このサブワードドライバSWDは、そのピッチ条件を緩和するために、1つのメモリサブブロックの両側のサブワードドライバ帯SWBに1行ごとに交互に配置される。サブワードドライバSWDは、隣接する2つのメモリサブブロックMSBKにおけるサブワード線SWLを、対応のメインワード線MWL上の信号と図示しないサブデコード信号とに従って選択状態へ駆動する。

#### 【0022】

メインワード線は、所定数のサブワード線に対応して配置され、かつ低抵抗の金属配線で形成される。メインワード線それぞれに対応してメインワードドライバMWDが配置され、メインワードドライバMWDからのメインワード線駆動信号が、メインワード線MWL上に伝達される。すなわち、ワード線がメインワード線とサブワード線との階層構造とされ、それぞれメインワードドライバMWDおよびサブワードドライバSWDにより駆動する。メインワード線MWLにはメモリセルが接続されていないため、その負荷抵抗・容量が小さく、高速でメインワード線を選択状態へ駆動する。また、サブワード線SWLは対応のメモリサブブロック内に配置されるだけであり、接続されるメモリセルの数も少なく、その負荷が小さく、サブワードドライバSWDにより高速で選択状態へ駆動することができる。

#### 【0023】

図22は、サブワードドライバ帯SWBの構成をより具体的に示す図である。

図 2 2 において、サブワードドライバ SWD が、サブワードドライバ帯 SDB に隣接メモリサブアレイのサブワード線に共通に配置され、対応のメインワード線 MWL 上の信号と図示しないサブデコード信号とに従って対応のサブワード線 SWL を選択状態へ駆動する。図 2 2 においては、サブワードドライバ SWD は、1 つのサブワードドライバ帯 SWB において 1 行おきに配置されるため、サブワードドライバ帯 SWB a および SWB c において配置されるサブワードドライバ SWD a および SWD c が、それぞれ 2 つのメモリサブブロックのサブワード線 SWL を駆動する。サブワードドライバ帯 SWB b においては、サブワードドライバ SWD a および SWD c と整列して、サブワードドライバは配置されない。別の行に配置されるサブワード線を駆動するために、このサブワードドライバ帯 SWB b にサブワードドライバが配置される。

## 【 0 0 2 4 】

この図 2 2 に示すように、ワード線をメインワード線 MWL とサブワード線 SWL との階層構造に構成することにより、メインワード線 MWL が金属配線で構成され、その抵抗値  $r_m$  が小さく、メインワードドライバ MWD により、高速で、その末端までメインワード線駆動信号を伝達する。サブワード線 SWL の抵抗  $R_s$  がメインワード線に比べて大きくても、メモリサブブロック単位で分割されるため、その抵抗は小さく、サブワードドライバ SWD (SWD a, SWD c) により、高速でサブワード線 SWL を選択状態へ駆動することができる。特に、メインワードドライバ MWD は、メインワード線 MWL を駆動することが要求されるだけであり、高速でこのメインワード線 MWL の末端まで、メインワード線駆動信号を伝達することができる。

## 【 0 0 2 5 】

したがって、この階層ワードドライブ方式に従えば、サブワードドライバが、メモリマット内に分散して配置されるため、サブワード線 SWL に対する駆動力を増加させることができ、高速で、サブワード線 SWL を選択状態へ駆動することができる。

## 【 0 0 2 6 】

図 2 3 は、図 2 1 および図 2 2 に示すサブワードドライバ SWD (SWD a,

SWD c) の構成の一例を示す図である。図 2 3 において、サブワードドライバ SWD は、メインワード線 MWL 上のメインワード線駆動信号 ZMWL に従って、サブデコード信号 SD をサブワード線 SWL へ伝達するための P チャンネル MOS トランジスタ Q 1 と、メインワード線駆動信号 ZMWL に従ってサブワード線 SWL を接地ノードに結合する N チャンネル MOS トランジスタ Q 2 と、補のサブデコード信号 ZSD に従ってサブワード線 SWL を接地ノードに結合する N チャンネル MOS トランジスタ Q 3 を含む。メインワード線駆動信号 ZMWL は、選択時 L レベルであり、非選択時 H レベルである。

## 【 0 0 2 7 】

このサブワードドライバ SWD において、サブデコード信号 SD および ZSD が用いられているのは、以下の理由による。メインワード線 MWL は、たとえば 4 本または 8 本などの所定数のサブワード線 SWL に対して 1 つ配置される。これにより、メインワード線 MWL のピッチ条件を緩和する。1 つのメモリサブブロック MSBK において、所定数のサブワード線 SWL の 1 つを、このサブデコード信号 SD および ZSD に従って選択する。サブデコード信号 SD および ZSD は、互いに相補な信号である。

## 【 0 0 2 8 】

メインワード線駆動信号 ZMWL が H レベルのときには、MOS トランジスタ Q 1 が非導通状態にあり、MOS トランジスタ Q 2 が導通状態にあり、サブワード線 SWL は、接地電位に結合される。この場合には、サブデコード信号 SD および ZSD の論理レベルにかかわらず、サブワード線 SWL は、非選択状態に保持される。

## 【 0 0 2 9 】

メインワード線駆動信号 ZMWL が L レベルでありかつサブデコード信号 SD が H レベルのときには、MOS トランジスタ Q 1 が導通し、サブワード線 SWL 上に、H レベルのサブデコード信号 SD を伝達し、サブワード線 SWL を選択状態へ駆動する。このときには、補のサブデコード信号 ZSD は L レベルであり、MOS トランジスタ Q 3 は非導通状態にある。

## 【 0 0 3 0 】

メインワード線駆動信号ZMWLがLレベルとなると、MOSトランジスタQ2は非導通状態となる。MOSトランジスタQ1は、サブデコード信号SDがLレベルのときには、そのゲートおよびソースが同一電圧レベルとなり、非導通状態となる。このときには補のサブデコード信号ZSDがHレベルであり、MOSトランジスタQ3が導通し、サブワード線SWLを接地電位に保持する。すなわち、メインワード線駆動信号ZMWLがLレベルでありかつサブデコード信号SDがLレベルのときにMOSトランジスタQ1およびQ2がともに非導通状態となるため、この状態においてサブワード線がフローティング状態となるのを防止するため、歩のサブデコード信号ZSDを用いてMOSトランジスタQ3を導通状態として、非選択サブワード線を確実に非接地電位レベルに保持する。

## 【0031】

このサブワードドライバSWDは、複数のMOSトランジスタを有しているため、ワード線杭打ち構造のような、コンタクトを用いて金属配線とワード線WLとを接続する構成と比べて、このサブワードドライバの占有面積が大きい。このため、サブワードドライバ帯SWBの数は、ワード線シャント領域の数よりも制限され、メモリサブブロックMSBKの数は、ワード線シャント構造におけるメモリサブブロックSUBの数よりも少なくされる。

## 【0032】

このサブワードドライバSWDを利用する階層ワード線ドライブ方式においては、サブワードドライバ帯SWDのレイアウト面積が大きくなるものの、サブワード線に対する駆動力が増大するため、メモリサブアレイの分割数を低減し、動作速度増大とレイアウト面積増大の抑制というトレードオフのバランスをとっている。

## 【0033】

システム全体の消費電力および高速動作およびシステムの規模を低減するために、1つの半導体チップ上に、1つのシステムを構築するシステムLSIが採用されている。このようなシステムLSIに適用される半導体記憶装置として、ロジック混載メモリ(eRAM)がある。

## 【0034】

図 2 4 は、従来のロジック混載メモリの構成の一例を概略的に示す図である。図 2 4 において、ロジック混載メモリは、半導体チップ C H I 上に集積化されるロジック回路 L G およびメモリ回路 M K を含む。ロジック回路 L G とメモリ回路 M K はチップ上内部配線 I L により相互接続される。メモリ回路 M K は、D R A M で構成される。ロジック回路 L G が、外部の装置に対してデータの授受を行ない、メモリ回路 M K は、ロジック回路 L G がアクセスすることができるだけであり（通常動作時）、通常動作時において、メモリ回路 M K へは、外部装置は、直接アクセスすることができない。

【 0 0 3 5 】

このロジック混載メモリにおいては、ロジック回路 L G とメモリ回路 M K とがチップ上内部配線 I L により相互接続される。この内部配線 I L の負荷は小さいため、高速でロジック回路 L G とメモリ回路 M K の間で信号／データを転送することができる。また、内部配線 I L は、チップ上配線であるため、ピン端子のピッチ条件の影響を受けることなく、この内部配線ピッチで、データを伝達するデータ線を配置することができる。したがって、ロジック回路 L G とメモリ回路 M K との間で転送されるデータのビット幅を大きくすることができ、データ転送のバンド幅を広くすることができる。したがって、ロジック回路 L G の動作周波数が高くても、ロジック回路 L G は必要なデータをメモリ回路 M K へアクセスして受け取り、所定の処理を実行することができる。

【 0 0 3 6 】

また、ロジック回路 L G およびメモリ回路 M K を、同一半導体チップ C H I 上に集積化しているため、ロジック回路 L G とメモリ回路 M K とを別々にボード上に配置する場合に比べて、システム規模が低減される。

【 0 0 3 7 】

このロジック混載メモリを含むシステム L S I においては、半導体チップ C H I 上に、他のアナログコア回路および他の S R A M （スタティック・ランダム・アクセス・メモリ）などメモリが配置されてもよい。アナログコア回路は、たとえばビデオカメラからのアナログ信号を処理する回路であり、アナログ／デジタル変換回路およびデジタル／アナログ変換回路などを含む。

【0038】

【発明が解決しようとする課題】

このロジック混載メモリにおいては、製造工程を簡略化するため、ロジック回路LGとメモリ回路MKとは、できるだけ、同一工程で、その内部構成要素が形成される。

【0039】

このメモリ回路MKが、DRAMの場合、階層ワード線方式に従って、ワード線はメインワード線およびサブワード線に階層化されて、サブワードドライバにより、サブワード線が駆動される。

【0040】

しかしながら、ロジック回路LGの動作周波数がさらに高くなると、メモリ回路MKの動作速度も、応じて高くすることが要求される。したがって、サブワードドライバを利用する場合、サブワード線SWLを高速で選択状態へ駆動することが要求される。サブワード線SWLを高速で選択状態へ駆動するためには、メモリサブブロックの分割数を多くし、1つのサブワードドライバが駆動するサブワード線の長さを短くすることが考えられる。しかしながら、この場合、サブワードドライバ帯の数が増大し、メモリアレイ（メモリマット）のレイアウト面積が増大し、応じてチップ面積が増大するという問題が生じる。

【0041】

また、ワード線シャント構造を適用する場合、このメインワード線と別の配線層を利用する必要があるため、このシャント用金属配線をさらに新たに設ける場合、製造工程が増大し、コスト増大につながる。また、金属配線層の数が増大した場合、メモリ回路MKとロジック回路LGとの段差が大きくなり、この段差部で正確なパターニングを行なうことができなくなり（フォトリソグラフィ工程における露光光の乱反射等によるパターニングずれが生じるため）、新たな金属層をシャント用に設けることができない。

【0042】

それゆえ、この発明の目的は、高速でワード線を選択状態へ駆動することができる半導体記憶装置を提供することである。

【 0 0 4 3 】

この発明の他の目的は、新たに配線層を設けることなく高速でワード線を選択状態へ駆動することのできる半導体記憶装置を提供することである。

【 0 0 4 4 】

この発明のさらに他の目的は、ワード線を選択状態へ高速で駆動することのできるロジック混載メモリを提供することである。

【 0 0 4 5 】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、行列状に配列される複数のメモリセルと、メモリセル行に対応して配置され、各々に対応の行のメモリセルが接続される複数のサブワード線と、これら複数のサブワード線の所定数のサブワード線に各々に対応して配置され、各々がメモリセル行選択信号を伝達する第1の導電層に配置される複数のメインワード線と、この第1の導電層下に形成される第2の導電層に、複数のサブワード線に対応して配置され、各々に対応のサブワード線と所定の間隔で電氣的に接続される複数のシャント用配線と、サブワード線に対応して配置され、各々が少なくとも対応のメインワード線上の行選択信号に従って対応のサブワード線およびシャント用配線を選択状態に駆動する複数のサブワードドライバを備える。

【 0 0 4 6 】

好ましくは、第1の導電層は、第3層金属配線層であり、第2の導電層は、第1層金属配線層である。

【 0 0 4 7 】

好ましくは、サブワード線の各々は、対応のシャント用配線と少なくともその両端において電氣的に接続される。

【 0 0 4 8 】

また、さらに、第1および第2の導電層と異なる第3の導電層に形成され、所定電圧レベルの中間電圧を伝達する中間電圧伝達線が設けられる。

【 0 0 4 9 】

好ましくは、この第3の導電層は、第1および第2の導電層の間の配線層に形

成される第2層金属配線層である。

【0050】

好ましくは、メモリセルは、情報を記憶するための容量を有する。中間電圧はこの容量の基準電源ノードに印加される。

【0051】

好ましくは、また、第3の導電層は、第2導電層下に形成される金属配線を介して基準電源ノードに電氣的に接続される。

【0052】

また好ましくは、サブワード線は行方向に沿って複数のグループに分割される。サブワードドライバは、このグループ単位でイネーブルされて選択動作を行なう。

【0053】

好ましくは、さらに第1導電層と異なる配線層に、メモリセルが配置されるメモリアレイ上にわたって配置され、電源電圧を伝達するための電源線が設けられる。

【0054】

この半導体記憶装置は、好ましくは、ロジック回路と同一半導体基板上に集積化される混載メモリである。

【0055】

サブワード線に対応してシャント用配線を配置し、このシャント用配線に対応のサブワード線と所定間隔で電氣的に接続する。サブワードドライバにより、サブワード線および対応のシャント用配線両者を駆動することにより、高速でサブワード線を選択状態へ駆動することができる。シャント領域の占有面積は小さいため、シャント領域による面積増大を抑制することができる。

【0056】

また、シャント用配線として、混載メモリにおいて通常配置されていて積極的に利用されない第1層金属配線を利用することにより、新たにシャント用配線を形成するための工程を設ける必要がない。

【0057】

さらに、この第1層金属配線をシャント用配線として利用することにより、シャント用配線とメインワード線との間にデータを伝達する第2層金属配線が配置されるため、メインワード線とシャント用配線との容量結合を防止することができ、高速かつ正確にシャント用配線を行選択信号に従って選択状態へ駆動することができる。

【0058】

【発明の実施の形態】

〔実施の形態1〕

図1は、この発明に従う半導体記憶装置のメモリセルの概略断面構造を示す図である。この半導体記憶装置は、ロジック回路と同一半導体チップ上に集積化される混載メモリである。

【0059】

図1において、メモリセルMCは、半導体基板領域1の表面に間をおいて形成される不純物領域2aおよび2bと、これらの不純物領域2aおよび2bの間のチャネル領域上に図示しないゲート絶縁膜を介して形成されるゲート電極層3と、不純物領域2bに電氣的／物理的に接続されるストレージノード電極4aおよび4bと、このストレージノード電極4bに図示しないキャパシタ絶縁膜を介して対向して配置されるセルプレート電極層5とを含む。不純物領域2aは、ビット線BLとなる導電層6に接続される。

【0060】

このセルプレート電極層5上に、第1層アルミニウム配線7が形成される。この半導体記憶装置は、ロジックと同一半導体基板上に形成される混載メモリであり、この第1層アルミニウム配線7は、ロジック回路が形成される領域においても同一工程で第1層アルミニウム配線が配置される。パターニング前においては、第1層アルミニウム配線層が、半導体記憶装置（メモリ）およびロジック回路上に共通に形成される。

【0061】

この図1に示すメモリセルMCにおいて、不純物領域2aおよび2bとゲート電極層3によりアクセストランジスタが形成され、ストレージノード電極4aお

よび4 bとセルプレート電極層5とこれらの間のキャパシタ絶縁膜とによりメモリセルキャパシタが形成される。

【0062】

このメモリセルキャパシタのストレージノード電極4 bは、中空円筒構造を有しており、その側壁表面を大きくして、セルプレート電極層5との対向面積を大きくし、小占有面積で大きな容量値を実現する。

【0063】

ロジックが形成される領域においては、半導体基板領域1の表面に、ロジックトランジスタLT<sub>r</sub>が形成される。半導体記憶装置（メモリ）とロジック（ロジック回路）が形成される半導体基板領域1は、ウェル領域などに互いに分離されていてもよい。しかしながら、この半導体記憶装置の構成要素と、ロジック回路の構成要素は、できるだけ同一製造プロセスで形成される。したがって、この第1層アルミニウム配線7は、半導体記憶装置からロジック回路へ延在して配置され、装置パターニングなどの処理により、所望の配線パターンが形成される。

【0064】

メモリセルMCは、ストレージノード電極4 aおよび4 bが基板領域1表面上に形成されて、いわゆる「スタックトキャパシタ構造」している。したがって、このメモリセルキャパシタのストレージノード電極4 aおよび4 bにより、半導体記憶装置とロジック回路とにおいて、配線の段差が生じる。この段差が大きくなった場合、フォトリソグラフィ工程における露光光の乱反射等より正確なパターニングを行なうことができなくなるため、この段差はできるだけ小さくする必要がある。したがって、たとえば、この半導体記憶装置において、スタックトキャパシタにおけるストレージノード電極4 bの高さを少し低くする、またセルプレート電極層5と第1層アルミニウム配線7の間の距離dをできるだけ小さくするなどの処置がとられる。

【0065】

したがって、セルプレート電極層5と第1層アルミニウム配線7との距離dが短くなるため、信号を伝達する配線としては積極的には利用されていない。従来は、この第1層アルミニウム配線7は、たとえばセルプレート電極層5に対する

中間電圧を印加するための電源を強化するための配線として利用される。本発明においては、この第1層アルミニウム配線7を、積極的に、シャント用配線として利用する。

## 【0066】

図2は、この発明に従う半導体記憶装置のメモリアレイ部の配線層の構成を概略的に示す図である。基板領域1上には、第1層ポリシリコン配線(TG)で形成されるゲート電極層3が形成される。このゲート電極層3が、サブワード線SWLとして機能する。

## 【0067】

ゲート電極層3上層に、たとえばタンゲステンWで形成されるビット線導電層6が形成される。このビット線導電層6上に、第2層ポリシリコン配線(2POLY)4で形成されるストレージノード電極層4が形成される。

## 【0068】

このストレージノードSNとなるストレージノード電極層4上に、たとえば第3層ポリシリコン配線(3POLY)で形成されるセルプレート電極層5が配置される。このセルプレート電極層5は、メモリセルキャパシタのセルプレート電極CPとして機能し、メモリセルキャパシタの蓄積電荷に対する基準電位を与える。

## 【0069】

このメモリセルキャパシタにおいて、ストレージノード電極層4aおよび4bはそれぞれ第2層ポリシリコン配線および第3層ポリシリコン配線で形成され、セルプレート電極層5が、第4層ポリシリコン配線で形成されてもよい。

## 【0070】

このセルプレート電極CPとなるセルプレート電極層5上に、第1層アルミニウム配線(1Al)である第1層金属配線(導電層)7が形成される。この第1層金属配線7を、ワード線シャント用配線として利用する。ここで、ビット線導電層6も、例えばタンゲステンWで形成される金属配線であるが、このタンゲステン配線は、ビット線導電層に対して用いられており、1層しか存在しないため金属配線の層としては計算しないこととし、同一材料で形成される金属配線に対

してその層数を計算する。

【0071】

この第1層金属配線7上に、たとえば第2層アルミニウム配線(2A1)である第2層金属配線(導電層)8が形成される。この第2層金属配線8は、データを伝達する内部データ線IOとして使用され、また、アレイ電源電圧Vccおよび接地電圧を伝達する電源供給線を強化するための電源強化配線として用いられる。

【0072】

この第2層金属配線8上に、たとえば第3層アルミニウム配線(3A1)である第3層金属配線(導電層)9が形成される。この第3層金属配線9により、メインワード線MWLが形成される。

【0073】

したがって、従来、積極的に用いられなかった第1層金属配線7を、シャント用配線として利用することにより、追加の工程を設けることがなく、シャント用配線のパターニングのためのマスクの変更だけでワード線杭打ち構造を実現することができる。

【0074】

また、通常の標準DRAMにおいては、メインワード線MWLが、第1層金属配線7で形成され、ビット線を除けば、その上層の第2層金属配線との2層金属配線構造が用いられる。このような2層金属配線構造の場合、シャント用配線を新たに設けるためには、追加の配線層を利用する必要がある。しかしながら、この混載メモリにおいて、元々形成される第1層金属配線層をシャント用配線形成のための配線層として積極的に利用することにより、階層ワードドライブ方式のワード線構造に、容易にワード線杭打ち方式を適用して、高速でサブワード線SWLを選択状態へ駆動することができる。

【0075】

図3は、この発明の実施の形態1に従うメモリマットの構成を概略的に示す図である。図3において、メモリマットは、複数の行ブロックRBO-RBmに列方向に沿って分割される。行ブロックRBO-RBmの各々は、サブワードドラ

イバ帯  $SWB_0 - SWB_{(k+1)}$  により、複数のメモリサブアレイ  $G_0 - G_k$  に分割される。

【0076】

サブワードドライバ帯  $SWB_0 - SWB_{(k+1)}$  において、行ブロック  $RB_0 - RB_m$  それぞれに対してサブワードドライバ群  $SWDG_0 - SWDG_{(k+1)}$  が配置される。これらのサブワードドライバ群  $SWDG_0 - SWDG_{(k+1)}$  において、サブワード線に対応してサブワードドライバが配置される。行ブロック  $RB_0 - RB_m$  に対応して、センスアンプ帯  $SAB_0 - SAB_{(m+1)}$  が配置される。センスアンプ帯  $SAB_0 - SAB_{(m+1)}$  は、いわゆるシェアーセンスアンプ構成を有し、隣接行ブロックにより共有される。

【0077】

行ブロック  $RB_0 - RB_m$  それぞれに対応して、メインワードドライバ群  $MWDG_0 - MWDG_m$  が配置される。これらのメインワードドライバ群  $MWDG_0 - MWDG_m$  は、メインワードドライバ帯  $MWB$  内に列方向に沿って整列して配置される。メインワードドライバ帯  $MWDG_0 - MWDG_m$  の各々は、メインワード線に対応して配置されるメインワードドライバを含む。

【0078】

メモリサブアレイ  $G_0 - G_k$  の各々は、シャント領域  $SHT_0 - SHT_q$  により、複数のサブブロック  $SB$  に分割される。これらのシャント領域  $SHT_0 - SHT_q$  において、シャント用配線とサブワード線とが電気的に接続される。サブワード線は、サブワードドライバにより、メインワード線上の信号とサブデコード信号とにより選択状態へ駆動され、さらに加えて、シャント用配線がサブワードドライバにより駆動されるため、このシャント用配線上の信号に従ってサブワード線が選択状態へ駆動される。したがって、サブワード線  $SWL$  が、図2に示すように、第1層ポリシリコン (TG) で形成され、その抵抗が比較的大きい場合においても、シャント用配線により、このサブワード線の抵抗を等価的に低減することができ、高速で、サブワードドライバによりサブワード線を選択状態へ駆動することができる。

【0079】

図 4 (A) は、1つの行ブロックにおけるメインワード線MWL、シャント用配線（裏打ち配線）、およびサブワード線の配置を概略的に示す図である。図 4 (A) においては、1つの行ブロックにおけるメモリサブアレイG0-G2を代表的に示す。これらのメモリサブアレイG0-G2に共通に、メインワード線MWLが配設される。このメインワード線MWLには、メインワードドライバMW Dからのメインワード線駆動信号が伝達される。

## 【0080】

メモリサブアレイG0の列方向についての両側にセンスアンプ群SAGU0およびSAGL0が配置され、メモリサブアレイG1の列方向についての両側に、センスアンプ群SAGU1およびSAGL1が配置される。メモリサブアレイG2の列方向についての両側に、センスアンプ群SAGU2およびSAGL2が配置される。

## 【0081】

これらのメモリサブアレイG0-G2は、サブワードドライバ帯SWB1およびSWB2により分離される。メモリサブアレイG0およびG2の外側には、サブワードドライバ帯SWB0およびSWB3が、それぞれ配置される。メモリサブアレイG0-G2内において、それぞれサブワード線SWL00、SWL01およびSWL02が配置される。これらのサブワード線SWL00、SWL01およびSWL02は、行方向に整列して配置され、それぞれ、対応のメモリサブアレイ内に行方向に延在して配置され、それぞれ、対応のメモリサブアレイ内の1行のメモリセルに接続される。

## 【0082】

メモリサブアレイG0-G2それぞれにおいて、シャント領域SHTが配設され、メモリサブアレイG0-G2の各々は、複数のメモリサブブロックSBに分割される。図 4 (A) においては、メモリサブアレイG0-G2の各々が、3つのシャント領域SHTにより、4つのメモリサブブロックに分割される状態を一例として示す。すなわち、メモリサブアレイG0が、メモリサブブロックSB0-SB3に分割され、メモリサブアレイG1が、メモリサブブロックSB4-SB7に分割され、メモリサブアレイG2が、メモリサブブロックSB8-SB11に分割される。

1 に分割される。

【0083】

メモリサブアレイG0-G2それぞれにおいて、サブワード線SWL00、SWL01、およびSWL02に対応して、シャント用配線LN0、LN1、およびLN3が配置される。これらのシャント用配線LN0、LN1、およびLN3は、たとえば第1層アルミニウム配線である第1層金属配線で構成される。一方、メインワード線MWLは、たとえば第3層アルミニウム配線である第3層金属配線で構成される。

【0084】

これらのシャント用配線LN0-LN3は、それぞれ、対応のメモリサブアレイ内のシャント領域SHTにおいて対応のサブワード線SWL00、SWL01、およびSWL02と電氣的にコンタクトCNTを介して短絡される。これらのサブワード線SWL00、SWL01、SWL02は、また、さらに、それぞれの両端が、コンタクトCNTを介して対応のシャント用配線LN0、LN1、およびLN3に結合される。サブワード線SWL00、SWL01、およびSWL02の両端を接続するコンタクトCNTは、サブワードドライバ帯SWB0、SWB1、SWB2、およびSWB3に配置される。サブワード線SWLおよびシャント用配線LNを両端で電氣的に接続することにより、このシャント用配線LNを介して対応のサブワードドライバSWDから伝達される駆動信号を高速でこのシャント用配線末端まで伝達した後、サブワード線SWLの末端から、サブワード線駆動信号を伝達することができ、選択行に配置されるサブワード線を高速で選択状態へ駆動することができる。

【0085】

シャント領域SHTは、コンタクトCNTが配置されるだけであり、その面積は、サブワードドライバSWDが配設される領域よりも十分小さくすることができ、アレイ面積増加を十分に抑制して、サブワード線を高速で選択状態へ駆動することができる。

【0086】

サブワードドライバSWDは、サブワードドライバ帯SWB0-SWB3に交

互に配置される。

【0087】

図4（B）は、図4（A）に示すサブワード線およびシャント用配線の配置に対応する電氣的等価回路を示す図である。図4（B）においては2行に配列されるサブワード線SWLを示す。サブワードドライバ帯SWB0、SWB3においてサブワードドライバSWDが交互に配置される。これらのサブワードドライバSWDは、1つのメモリサブアレイに配置されるサブワード線SWLおよび対応のシャント用配線LNを選択状態へ駆動する。このサブワードドライバSWDは、対応のメインワード線MWL上の信号とサブデコード信号SDとに従って対応のサブワード線およびシャント用配線LNを選択状態へ駆動する。

【0088】

メモリサブアレイG0-G2それぞれにおいて、サブワード線SWLに対応して、シャント用配線LNが配置される。これらのシャント用配線LNと対応のサブワード線とは、シャント領域SHTにおいてコンタクトCNTにより電氣的に短絡される。これらのシャント用配線LNおよび対応サブワード線SWLは、その両端においてもコンタクトCNTにより電氣的に接続される。

【0089】

今、1つのメモリサブブロックSBにおけるサブワード線SWLおよびシャント用配線LNの抵抗を $R_s$ および $r_1$ とする。コンタクトCNTによりシャント領域において、シャント用配線LNが対応のサブワード線SWLに接続される。したがって、1つのメモリサブブロックSBにおけるサブワード線SWLの電氣的な等価抵抗は、 $1 / (1 / R_s + 1 / r_1)$ となる。シャント用配線LNは、たとえば第1層アルミニウム配線である第1層金属配線で構成されており、このサブワード線SWLを構成するゲート配線（第1層ポリシリコン配線）よりもその抵抗値 $r_1$ は十分小さい。したがって、このメモリサブブロックSBにおけるサブワード線SWLの電氣的等価抵抗を、ほぼ $r_1$ とすることができ、高速でサブワードドライバSWDの出力信号に従ってサブワード線を選択状態へ駆動することができる。

【0090】

特に、シャント用配線 L N およびサブワード線 S W L をその両端においてコンタクト C N T を用いて電氣的に接続することにより、メモリサブブロックそれぞれにおけるサブワード線の電氣的等価抵抗をすべて同じじとすることができ、高速で、サブワード線を選択状態へ駆動することができる。たとえば、シャント用配線 L N とサブワード線 S W L の末端がコンタクト C N T で接続されていない場合、このサブワード線 S W L の末端領域のメモリサブブロックにおいては、シャント用配線 L N により電氣的等価抵抗は低減されないため、サブワード線の抵抗  $R_s$  に従って信号伝搬遅延が生じる。サブワード線およびシャント用配線両端を接続することにより、メモリサブブロックそれぞれにおいて、各サブワード線 S W L を、その等価抵抗値を小さくして高速で選択状態へ駆動することができる。

## 【 0 0 9 1 】

シャント用配線 L N とサブワード線 S W L の末端をコンタクト C N T で接続する領域において、対応のサブワードドライバ帯においてサブワードドライバ S W D は配置されていない。したがって、十分余裕をもって、これらのサブワード線 S W L およびシャント用配線 L N の末端部分を、コンタクト C N T を用いて電氣的に接続することができる。

## 【 0 0 9 2 】

また、サブワードドライバ S W D の出力を、シャント用配線 L N およびサブワード線 S W L に伝達する場合においても、コンタクト領域を、そのサブワード線 S W L に対して 1 つ余分に、このサブワードドライバ帯において配置するだけであり、サブワードドライバが配置されている場合においても、十分余裕をもって、このシャント用配線に対するコンタクトを形成することができる。

## 【 0 0 9 3 】

図 5 は、サブワードドライバ出力部のコンタクトの配置の一例を概略的に示す図である。図 5 において、サブワードドライバの出力を伝達する導電層 2 0 が、コンタクト 2 2 を介してサブワード線 S W L となる導電層 1 5 に電氣的に接続される。この導電層 2 0 は、さらにコンタクト 2 4 を介して図示しない上層のシャント用配線 1 7 に電氣的に接続される。このサブワードドライバの出力を伝達する導電層 2 0 は、たとえばビット線を構成する導電層（タングステン層）を用い

て構成されてもよい。また、第2層ポリシリコン配線で構成されてもよい。導電層20を介在させて、シャント用配線17とサブワード線SWLとなる導電層15とを電氣的に接続しており、したがって、シャント領域におけるコンタクトもこのサブワードドライバ帯におけるコンタクトの構造と同様の構成をとることができる。

## 【0094】

なお、図5に示すコンタクトのレイアウトにおいて、コンタクト22および24がサブワード線SWLの延在方向に整列して配置されている。しかしながら、コンタクト22および24は、サブワード線SWLと直交する方向に整列して配置されてもよい。サブワードドライバの出力のレイアウトに応じて、これらのコンタクト22および24の配置は適当に定められればよい。

## 【0095】

図6は、シャント領域のコンタクトの断面構造を概略的に示す図である。サブワード線SWLを構成する配線（導電層）3は、コンタクトCNTaを介して中間導電層20に接続される。この中間導電層20は、コンタクトCNTbを介してシャント用配線LNとなる第1層金属配線（導電層）7に接続される。この中間導電層20は、図5に示すサブワードドライバの出力を伝達する導電層20と同じ層であり、これにより、サブワード線とシャント用配線とのコンタクトをすべて同じ構造とすることができる。

## 【0096】

コンタクトCNTaおよびCNTbは、低抵抗の金属配線であり、コンタクト孔を十分に充填し、かつ対応の導電層と電氣的に接続する材料であればよい。また、これらのコンタクトCNTaおよびCNTbは、タングステン、アルミニウム、およびポリシリコンのいずれであってもよい。

## 【0097】

中間の導電層20を配置して、コンタクトをシャント用配線LNとサブワード線SWLとの間に形成することにより、このシャント領域のコンタクトのアスペクト比を小さくすることができ、正確に、シャント用配線LNとサブワード線SWLとを電氣的に短絡することができる。

## 【0098】

また、このシャント用配線LNとして、第1層金属配線を利用することにより、以下に説明するような利点も併せて得られる。

## 【0099】

図7(A)に示すように、通常、メインワード線MWLに対しては、複数のサブワード線が配置される。図7(A)に示す配置においては、1つのメインワード線MWLに対して4つのサブワード線SWL0-SWL3が配置される。これらのサブワード線SWL0-SWL3の1つが、サブデコード信号により選択される。これらのサブワード線SWL0-SWL3と同一ピッチで、その上層にシャント用配線LNが配置される。メインワード線MWLが選択状態へ駆動される場合、シャント用配線は、1つが選択状態へ駆動され、残りが非選択状態に保持される。この場合、メインワード線MWLとシャント用配線との容量結合が生じた場合、非選択のサブワード線が、シャント用配線を介してその電位が上昇する可能性がある。

## 【0100】

しかしながら、図7(B)に示すように、シャント用配線LNは、たとえば第1層アルミニウム配線である第1層金属配線であり、またメインワード線MWLは、たとえば第3層アルミニウム配線である。これらのメインワード線MWLとシャント用配線LNの間には、第2層アルミニウム配線である第2層金属配線8が配置される。第2層金属配線8は、内部データ線IOまたは、電源電圧VCC/接地電位GNDを伝達する配線として利用される。ワード線選択時においては、内部データ線IOは、通常、プリチャージ状態かまたは伝送データに応じて、その電位が確定状態にある。また接地電位GNDまたは電源電圧VCCを伝達する電源供給線の場合、第2層金属配線8は、その電圧レベルが固定である。

## 【0101】

したがって、第2層金属配線8がシールド層として機能し、メインワード線MWLとシャント用配線LNの配線7および9の間に容量結合が生じるのを防止する。シャント用配線LNとして、第1層金属配線7を利用することにより、メインワード線MWLとシャント用配線LNの容量結合を防止することができ、正確

に、シャント用配線 L N をサブワードドライバの出力信号に従って駆動することができる。

#### 【 0 1 0 2 】

図 8 は、ワード線シャント部の構成をより具体的に示す図である。図 8 において、シャント領域 S H T において、セルプレート電極層 ( C P ) が、セルプレート電極層 5 a および 5 b に分割される。このセルプレート電極層 5 a および 5 b は、たとえば第 3 層ポリシリコン配線で形成される。シャント領域 S H T において、セルプレート電極層 5 a および 5 b の分割領域を貫通するように、コンタクト C N T c が形成され、第 1 層アルミニウム配線 7 と中間導電層 3 0 とを電氣的に接続する。この第 1 層アルミニウム配線 7 が、シャント用配線 L N である。中間導電層 3 0 は、このコンタクトのアスペクト比を低減するためのものであり、ビット線と同一層に形成されてもよく、またストレージノード電極層と同一層に形成されてもよい。この中間導電層 3 0 は、コンタクト C N T d を介してサブワード線 S W L を構成する第 1 層ポリシリコン配線 3 に電氣的に接続される。

#### 【 0 1 0 3 】

したがって、このシャント領域 S H T においては、メモリセルは配置されていないため、この領域において、セルプレート電極 C P を分割しても、何ら問題は生じない。このセルプレート電極 C P は、シャント領域 S H T ごとに分割構造とされてもよく、またシャント領域 S H T において、サブワード線 S W L とシャント用配線 L N のピッチでコンタクトが形成されてもよい。いずれの構成においても、このシャント領域 S H T において、セルプレート電極 C P の抵抗が大きくなる。

#### 【 0 1 0 4 】

図 9 は、セルプレート電極の配置の一例を概略的に示す図である。図 9 において、1つのメモリサブアレイ G i に対するセルプレート電極 C P の構成を示す。

#### 【 0 1 0 5 】

図 9 に示す構成においては、セルプレート電極 C P は、シャント領域 S H T において分割されるように示す。このシャント領域 S H T において、コンタクト C M P がシャント用配線 L N に対応して形成され、下層のサブワード線と電氣的に

接続される。したがってシャント領域 SHT においては、このセルプレート電極 CP が連続構造であっても、その占有面積が小さく、抵抗値が大きくなり、また分割構造の場合、その抵抗値は無限大となる。

#### 【0106】

このセルプレート電極 CP に中間電圧レベルのセルプレート電圧を供給するために、サブワードドライバ帯 SWB において第 2 層アルミニウム配線で形成される中間電圧伝達線 40 が配設され、セルプレート電圧 VCP を伝達する。この中間電圧伝達線 40 は、センスアンプ帯 SAB において行方向に延在する第 1 層アルミニウム配線で構成されるサブ中間電圧伝達線 41 および 42 に電氣的に結合される。これらのサブ中間電圧伝達線 41 および 42 は、第 1 層アルミニウム配線で構成されており、それぞれ対応のセルプレート電極 CP と電氣的に接続される。

#### 【0107】

センスアンプ帯 SAB においても、メモリセルが配設されていないため、この第 1 層アルミニウム配線で、サブ中間電圧伝達線 41 および 42 を、シャント用配線 LN のピッチ条件に影響を及ぼすことなく配置することができる。これにより、第 1 層アルミニウム配線層のサブ中間電圧伝達線 41 および 42 を用いて、セルプレート電圧 VCP を各セルプレート電極 CP へ伝達することができ、シャント構造の影響を受けることなくセルプレート電圧を安定にセルプレート電極層 CP へ供給することができる。

#### 【0108】

図 10 は、図 9 に示す配線の配置の一例を示す図である。第 3 層アルミニウム配線層に、メインワード線 MWL を構成する第 3 層金属配線 9 が配置される。この第 3 層金属配線 9 下に、第 2 層アルミニウム配線でたとえば構成される第 2 層金属配線が形成される。この第 2 層金属配線層においては、内部データを伝達する IO 線を構成する導電層 8a と、電源電圧 VCC を伝達する電源線 8b と、接地電圧 GND を伝達する接地線 8c とがメモリサブアレイ Gi 上に行方向に延在して配置される。メモリサブアレイ Gi の外部のサブワードドライバ帯の領域において、セルプレート電圧 VCP を伝達する中間電圧伝達線 40a および 40b

が配置される。

【0109】

第1層アルミニウム配線層には、シャント用配線LNとなる第1層金属配線7が、第2層金属配線8a、8bおよび8c下に、メモリサブアレイGi内に行方向に延在して配置される。メモリサブアレイGi外部のセンスアンプ帯において、第1層アルミニウム配線層に形成される第1層金属配線35aおよび35bが配設され、上層の中間電圧伝達線40aおよび40bと電氣的に接続される。これらの第1層金属配線35aおよび35bは、その下層の、セルプレート電極CPを構成する第3層ポリシリコン配線5に電氣的に接続される。したがって、メモリサブアレイGi内においては、この中間電圧VCPを伝達する第1層金属配線35aおよび35bは配設されず、サブワードドライバ帯SWBおよびセンスアンプ帯SABに、中間電圧（セルプレート電圧）VCPを伝達する第1層金属配線35aおよび35bが配設されるだけであり、シャント用配線LNのレイアウトに悪影響を及ぼすことなく、中間電圧電源を強化する事ができる。

【0110】

図11は、メモリマットMM上の電圧伝達線のレイアウトを概略的に示す図である。セルプレート電圧VCPを発生するVCP発生回路45からのセルプレート電圧VCPは、第2層アルミニウム配線で構成される中間電圧伝達線50により、このメモリマットMMを取囲むように伝達される。この中間電圧伝達線50は、行方向に延在するサブ中間電圧伝達線51により結合され、また列方向において、サブ中間電圧伝達線52より相互結合される。サブ中間電圧伝達線51は、たとえば第1層アルミニウム配線で構成され、センスアンプ帯に配置される。一方、サブ中間電圧伝達線52は、サブワードドライバ帯に配置され、たとえば第2層アルミニウム配線で構成される。

【0111】

このメモリマットMM上に、また、電源電圧VCCおよび接地電圧GNDを伝達する電源供給線60がメモリマットMMを取囲むように配置される。電源供給線60は、列方向において、たとえば第1層アルミニウム配線で構成されるサブ電源供給線61により結合され、また列方向において、たとえば第2層アルミニ

ウム配線で構成されるサブ電源供給線 6 2 により相互結合される。このメモリマツト MM において、センスアンプが使用する電源電圧 VCC および接地電圧 GND を安定に供給することができる。

## 【0 1 1 2】

サブ電源供給線 6 2 と平行して、内部データを伝達する内部データ線 6 5 が列方向に延在して配置される。この内部データ線 6 5 は、メモリマツト上にわたって延在して配置され、その配置領域は、センスアンプ帯に限定されない。したがって、混載メモリなどのように、内部データのビット数が多い場合においても、ビット幅の広い内部データを転送することができる。

## 【0 1 1 3】

なお、この図 1 0 および図 1 1 に示す構成において、中間電圧伝達線 4 0、4 1 a、4 0 b およびサブ中間電圧伝達線 5 2 はサブワードドライバ帯に配置され、第 2 層アルミニウム配線で構成される。しかしながら、このメモリサブアレイ上に余裕があれば、この第 2 層アルミニウム配線で構成される中間電圧伝達線 5 2 は、メモリサブアレイ上に列方向に延在して配置されてもよい。

## 【0 1 1 4】

図 1 1 に示すように、セルプレート電圧 VCP および電源電圧 VCC および接地電圧 GND を伝達する配線をメッシュ状に配置することにより、内部信号配線のレイアウトピッチに影響を及ぼすことなく、これらの電源を強化することができる。

## 【0 1 1 5】

## 〔変更例〕

図 1 2 は、シャント用配線の変更例を示す図である。図 1 2 において、シャント用配線は、絶縁膜 7 0 の間に堆積される銅配線 7 2 により形成される。すなわち、絶縁膜 7 0 をパターニングし、サブワード線ピッチでシャント用配線の領域を形成した後、銅を、シャント用配線領域内に流し込み、配線層 7 2 として使用する。銅配線を、このシャント用配線として利用した場合、銅配線はマイグレーションに強く、その断面積を小さくすることができ、サブワード線の微小ピッチに応じて、シャント用配線を配置することができる。

## 【0116】

図13は、配線として銅配線を用いた場合の配線の構成を概略的に示す図である。図13において、第1層銅配線80が、シャント用配線LNとして用いられる。第2層銅配線81は、内部データ線（IO線）およびセルプレート電圧VCCPを伝達する中間電圧伝達線として利用される。第3層銅配線82は、メインワード線MWLとして利用される。第4層銅配線83は、電源電圧VCCおよび接地電圧GNDを伝達する電源供給線として利用される。

## 【0117】

このような4層金属配線構造（ビット線を除く）の場合においても、同様、セルプレート電極に最も近い第1層銅配線80を、シャント用配線LNとして利用することにより、アルミニウム配線を利用する場合と同様の効果を得ることができる。また、この銅配線を利用する場合、確実に、サブワード線と同一ピッチでシャント用配線を配置することができる。

## 【0118】

以上のように、この発明の実施の形態1に従えば、サブワード線を杭打ち構造としかつ階層ワード線構造を併せて利用しているため、メモリマットの占有面積の増加を抑制しつつ、高速でサブワード線を選択状態へ駆動することができる。

## 【0119】

また、シャント用配線として、既存の配線層を利用しているため、製造工程を増加させることなく、階層ワード線構造およびワード線杭打ち構造を実現することができる。

## 【0120】

特に、混載メモリにおいて、階層ワード線構造とワード線杭打ち構造とをともに利用することにより、第1層金属配線を積極的に利用して、高速でアクセスすることのできる混載メモリを実現することができる。

## 【0121】

## 〔実施の形態2〕

図14は、この発明の実施の形態2に従うメモリセルの構造を概略的に示す図である。図14において、メモリセルMCは、半導体基板領域90表面に形成さ

れる不純物領域 9 1 および 9 2 と、これら不純物領域 9 1 および 9 2 の間のチャネル領域上に図示しないゲート絶縁膜を介して形成されるゲート電極層 9 3 と、不純物領域 9 2 に電氣的に接続されるトレンチ領域 9 4 と、トレンチ領域 9 4 と図示しないキャパシタ絶縁膜を介して対向して配置されるセルプレート電極 9 5 を含む。不純物領域 9 1 は、ビット線 B L を構成する導電層に電氣的に接続される。

#### 【0 1 2 2】

この図 1 4 に示すメモリセル M C の構造は、いわゆるトレンチキャパシタ構造である。トレンチ領域 9 4 におけるセルプレート電極 9 5 とトレンチとの対向面積によりメモリセルキャパシタが形成される。このトレンチキャパシタ構造の場合、セルプレート電極層 9 5 (C P) 上層にビット線 B L となる導電層 9 6 が配置される。ビット線導電層 9 6 上に第 1 層金属配線 9 7 が配設され、シャント用配線として利用される。

#### 【0 1 2 3】

トレンチ型キャパシタ構造の場合、スタックトキャパシタ構造と異なり、半導体基板領域 9 0 上の高さが十分低いため、ビット線となる導電層と第 1 層金属配線 9 7 との間の距離は十分に大きく取れ、その容量結合は十分に小さくされる。したがって、この第 1 層金属配線 9 7 を、シャント用配線として利用した場合、ビット線となる導電層 9 6 との間の結合容量  $C_c$  は小さく、高速で、対応のサブワード線に対し、ワード線駆動信号を伝達することができる。

#### 【0 1 2 4】

上述の構成において、トレンチ型キャパシタ構造が用いられている。しかしながら、キャパシタアンダービット線 (C O B) 構造と呼ばれるキャパシタ構造が用いられてもよい。この C O B 型キャパシタ構造の場合、半導体基板領域上にトレンチに代えて突出領域が形成され、この突出領域をストレージノードとして利用する。セルプレート電極層は、ビット線下に配設される。したがって、このような C O B 構造のキャパシタを有するメモリセルの場合でも、第 1 層金属配線を、シャント用配線として利用することにより、シャント用配線の寄生容量を小さくすることができ、高速で、サブワード線を選択状態へ駆動することができる。

## 【0125】

以上のように、この発明の実施の形態2に従えば、ビット線下部にセルプレート電極が配設されるメモリセル構造を利用し、その上層の配線層をシャント用配線として利用しており、シャント用配線の規制容量を低減することができ、高速でサブワード線を選択状態へ駆動することができる。

## 【0126】

なお、この実施の形態2において、メモリセル構造を除く他の構造は、実施の形態1と同様である。

## 【0127】

## 〔実施の形態3〕

図15は、この発明の実施の形態3に従うメモリマットの構成を概略的に示す図である。図15に示すメモリマットは、先の実施の形態1と同様、複数の行ブロックに分割される。行ブロックそれぞれが、サブワードドライバ帯SWB1-SWBkにより、メモリサブアレイG0-Gkに分割される。メモリサブアレイG0およびGkの外部には、サブワードドライバ帯SWB0およびSWB(k+1)がそれぞれ配置される。

## 【0128】

これらのサブワードドライバ帯SWB1-SWBkにおいては、それぞれ、2つのサブワードドライバ群SWDGRおよびSWDGLが配置される。サブワードドライバ群SWDGRおよびSWDGLは、それぞれ互いに独立に駆動される。1つのメモリサブアレイGiは、その両側に配置されるサブワードドライバ群SWDGLおよびSWDGRのサブワードドライバに従って、サブワード線が選択状態へ駆動される。

## 【0129】

この図15に示すメモリマットの構成の場合、列方向に整列するメモリサブアレイが、1つのバンクを構成する。すなわち、この図15に示すメモリマットの配置の場合、バンクBK0-BKkが形成される。メモリサブアレイG0-Gkの各々は、先の実施の形態1と同様、シャント領域により複数のメモリサブブロックSBに分割される。

## 【0130】

図15に示すメモリマットの構成の場合、1つのメモリマットを複数のバンクに分割することができ、各バンクにおいて異なるページ（サブワード線）を選択状態に保持することができるため、ページ切替時のオーバーヘッドを生じることなく、バンクをインターリーブ対応で動作させ、高速アクセスを実現することができる。

## 【0131】

このようなメモリマットを複数のバンクに分割する構成において、選択サブワード線を高速で選択状態へ駆動することにより、各バンクを、高速で順次アクセスすることができる。したがって、メモリサブブロックG0-Gkにおいて、階層ワード線構造およびワード線杭打ち構造両者を使用することにより、サブワード線選択に要する時間を短くすることができ、1つのバンクに対する列アクセス時間が短くても、この列アクセス時に別のバンクを選択状態へ駆動して、順次バンクへアクセスすることができる。

## 【0132】

図16(A)は、この図15に示すメモリサブアレイの構成を概略的に示す図である。図16(A)においては、3つのメモリサブアレイG0-G2を、代表的に示す。メモリサブアレイG0-G2に共通に、メインワードドライバMWDからのメインワード線駆動信号を伝達するメインワード線MWLが配設される。メモリサブアレイG0において、サブワードドライバ群SWGLおよびSWGRにおいて、サブワードドライバSWDLおよびSWDRが、行ごとに交互に配置される。メモリサブアレイG1においても、サブワードドライバ群SWGLおよびSWGRにおいて、行ごとに、サブワードドライバSWDLおよびSWDRが交互に配置され、メモリサブアレイG2においてもサブワードドライバ群SWGLおよびSWGRにおいてサブワードドライバSWDLおよびSWDRが行ごとに交互に配置される。

## 【0133】

メモリサブアレイG0-G2それぞれにおいて、サブワード線SWLに対応して、シャント用配線LNが配置される。このシャント用配線LNは、第1層金属

配線であり、下層のサブワード線 SWL とコンタクト CNT により、シャント領域 STH において電氣的に短絡される。これらのシャント用配線 LN とサブワード線 SWL の配置は、実施の形態 1 と同様であり、シャント用配線 LN および対応のサブワード線 SWL は、その両端においても、コンタクト CNT により電氣的に接続される。

## 【 0 1 3 4 】

この図 1 6 (A) に示す構成においては、メモリサブアレイ G0 - G2 それぞれにおいて、メモリサブアレイ単位で、サブワード線の活性化が行なわれ、したがって 1 つの行選択動作時、このメインワード線 MWL に結合するメモリサブアレイ G0 - Gk のうち、バンクアドレス (メモリサブアレイ選択信号) が指定するメモリサブアレイにおいてサブワード線が選択状態へ駆動される。

## 【 0 1 3 5 】

図 1 6 (B) は、サブワードドライバ SWDL および SWDR の構成の一例を示す図である。これらのサブワードドライバ SWDL および SWDR は同一構成を要するため、図 1 6 (B) においては、1 つのサブワードドライバ SWD を代表的に示す。

## 【 0 1 3 6 】

図 1 6 (B) において、サブワードドライバ SWD は、選択バンクに対して活性化されるセンスアンプイネーブル信号 BA・SE に従ってメインワード線 MW 上のメインワード線駆動信号 ZMWL をノード ND に伝達する P チャネル MOS トランジスタ TR1 と、ノード ND 上の信号電位に応答して選択的に導通し、導通時、サブワード線 SWL を接地電位に保持する N チャネル MOS トランジスタ TR3 と、ノード ND 上の信号電位に応答して選択的に導通し、導通時、選択バンク (メモリサブアレイ) に対して与えられたサブデコード信号 BA・SD を、サブワード線 SWL に伝達する P チャネル MOS トランジスタ TR2 と、選択メモリサブアレイ (バンク) に対して与えられるバンクサブデコード信号 BA・ZSD に従って選択的に導通し、導通時、サブワード線 SWL を接地電位に保持する N チャネル MOS トランジスタ TR4 と、サブワード線 SWL 上の信号に응答して選択的に導通し、導通時、ノード ND を接地電位に保持する N チャネル MOS

SトランジスタTR5を含む。

【0137】

バンク選択信号BAは、バンクアドレスをデコードして生成され、選択バンクに対して、このバンク選択信号BAが活性化される。

【0138】

メインワード線駆動信号ZMWLは、ワンショットのパルスの形で、ワード線選択からセンスアンプ活性化までの期間活性状態（Lレベル）に駆動される。選択バンクにおいては、このバンクセンスアンプ活性化信号BA・SEがHレベルとなると、MOSトランジスタTR1が非導通状態となり、ノードNDに伝達されたメインワード線駆動信号ZMWLを取込みラッチする。バンク選択信号BAが指定するメモリサブアレイに対してのみ、サブデコード信号SDおよびZSDが印加される（アドレス信号に従って変化する）。選択バンクは、次にプリチャージ指示信号が与えられるまで、選択状態に保持される。

【0139】

ノードNDの電圧レベルがLレベルのときには、対応のメインワード線が選択状態に駆動されており、MOSトランジスタTR2が導通状態、MOSトランジスタTR3が非導通状態となる。このとき、バンクサブデコード信号BA・SDがHレベルであれば、サブワード線SWLが選択状態へ駆動され、応じて、MOSトランジスタTR5が導通し、ノードNDをLレベルに保持する。この状態においては、選択メモリサブアレイにおいては、次にプリチャージ指示信号が与えられ、バンクセンスアンプ活性化信号BA・SEがLレベルの非活性状態へ駆動されるまで、Hレベルの選択状態を維持する。

【0140】

選択サブアレイに対しては、バンクセンスアンプ活性化信号BA・SEがHレベルに保持される。センス動作時には、選択サブアレイ（バンク）においては、MOSトランジスタTR1が非導通状態を維持する。メインワード線駆動信号ZMWLが非活性状態に復帰しても、選択バンク（メモリサブアレイ）においては、選択サブワード線は選択状態を維持する（ラッチ回路によりバンクサブデコード信号BA・SDが、そのデコードされた状態でラッチされる）。

## 【0141】

一方、ノードNDがLレベルであり、かつバンクサブデコード信号BA・SDがLレベルのときには、MOSトランジスタTR2は非導通状態となる。このときには、バンクサブデコード信号BA・ZSDがHレベルとなり、MOSトランジスタTR4が導通し、サブワード線SWLを接地電位レベルに保持し、応じてMOSトランジスタTR5は非導通状態を維持する。

## 【0142】

一方、ノードNDの電圧レベルがHレベルのときには、MOSトランジスタTR3が導通状態となり、サブワード線SWLは、バンクサブデコード信号BA・SDの論理レベルに関わらずLレベルを維持し、応じてMOSトランジスタTR5は非導通状態を維持する。

## 【0143】

バンク選択信号BAがLレベルであり、対応のメモリサブアレイと異なるバンク（メモリサブアレイ）が指定されている場合には、バンクサブデコード信号BA・SDはLレベル、補のバンクサブデコード信号BA・ZSDがHレベルとなり、サブワード線SWLはLレベルを維持する。このときには、バンクセンスアンプ活性化信号BA・SEが、Lレベルであり、MOSトランジスタTR1が導通状態となる。メインワード線駆動信号ZMWLはワンショットパルスの信号であり、Lレベルに駆動されて、ノードNDがLレベルに駆動されても、このバンクサブデコード信号BA・SDがHレベルに駆動される前にメインワード線駆動信号ZMWLがHレベルに復帰すればサブワード線SWLは、非選択状態を維持する。

## 【0144】

また、これに代えて、選択バンク（メモリサブアレイ）に対して、バンクセンスアンプ活性化信号BA・SEが所定期間Lレベルとなりメインワード線駆動信号ZMWLをノードNDに取り込むように構成されてもよい。バンクサブデコード信号BA・SEの発生タイミングを早くすることができる。

## 【0145】

バンク選択信号BAが指定するメモリサブアレイにおいてのみ、サブワード線

SWLが選択状態へ駆動される。バンク選択信号BAは、バンクアドレスをデコードすることにより生成され、この信号は、サブワードドライバ帯を伝達される。選択バンクにおいて、バンクセンスアンプ活性化信号BA・SEがHレベルに保持されており、このバンクセンスアンプ活性化信号BA・SEが、サブワードドライバ帯を伝達されるため、1つのバンクに含まれるメモリサブアレイGiはすべてに共通にバンクセンスアンプ活性化信号BA・SEが伝達されるため、1つのバンクにおいて1つのメモリサブアレイが選択されると、同一バンクで別のサブアレイを選択することはできない。

#### 【0146】

メインワード線駆動信号を生成するロウデコード回路は、行ブロックごとにそれぞれ配置され、ワンショットのパルス信号をメインワード線駆動信号として生成する。サブデコード信号は、サブワードドライバ帯を伝達され、各バンク単位でバンク選択信号BAに従ってラッチ状態に保持される。したがって、このバンク選択信号BAに従って行選択の制御を行なう回路が、各バンクごとに配置される。

#### 【0147】

また、これに代えて、各行ブロック単位で、行アドレスデコード動作を行なってメインワード線駆動信号を生成しかつサブデコード信号を生成し、各バンクごとに、メモリサブアレイ単位で対応のバンク選択信号が活性状態のときに、対応のサブデコード信号をラッチ状態とする構成が用いられてもよい。このバンク選択信号BAに従ってセンスアンプ活性化信号BA・SEを活性状態に維持し、またバンクサブデコード信号BA・SDをラッチするラッチ回路は、単にセンスアンプ帯とサブワードドライバ帯との交差する領域に配置されればよい。サブワードドライバと同様の構成のラッチ回路を利用することにより、これらのメモリサブアレイをバンク単位で活性化／非活性化することができる。

#### 【0148】

このような複数の行ブロックに含まれるメモリサブアレイ単位で、サブワード線を選択状態へ駆動する構成において、ワード線を階層ワード線およびワード線杭打ち方式両者を適用することにより、高速で、サブワード線を選択状態へ駆動

することができ、高速でアクセスすることのできるマルチバンクメモリを実現することができる。

【0149】

〔他の実施の形態〕

上述の説明においては、ロジックと同一半導体チップ上に集積化される混載メモリを示している。しかしながら、標準DRAMにおいても、3層金属配線構造または4層金属配線構造を有する半導体記憶装置であれば、同様に本発明は適用可能である。

【0150】

また、階層ワード線構造およびワード線杭打ち構造は、DRAMに限定されず、SRAM（スタティック・ランダム・アクセス・メモリ）に対しても適用可能である。

【0151】

【発明の効果】

以上のように、この発明に従えば、ワード線をメインワード線およびサブワード線の階層構造とし、かつサブワード線を杭打ち構造としており、メモリアレイ面積を大幅に増加させることなく高速でサブワード線を選択状態へ駆動することができる。

【0152】

また、メインワード線を第3層金属配線で構成し、シャント用配線を、第1層金属配線で構成することにより、これらのシャント用配線およびメインワード線との容量結合を十分低減することができ、正確に、シャント用配線を、対応のサブワード線を選択／非選択状態に応じて駆動することができる。また、通常用いられている第1層金属配線をシャント用配線として利用することにより、シャント用配線のために新たな配線層を形成する必要がなく、製造工程が増加することがない。

【0153】

また、サブワード線をシャント用配線と少なくともその両端においてそれぞれ電氣的に接続することにより、サブワード線を両端から駆動することができ、高

速で、サブワード線を選択状態へ駆動することができる。また、各サブワード線のシャント領域間の分割サブワード線部分を、同一の等価抵抗とすることができ、かつ分割サブワード線の信号伝搬遅延を同一とすることができ、高速で、サブワード線を選択状態へ駆動することができる。

## 【0154】

また、所定電圧レベルの中間電圧を伝達する中間電圧伝達線を、第3の導電層に設けることにより、中間電圧を安定に供給することができる。

## 【0155】

また、この第3の導電層を、第2層金属配線で構成することにより、容易に、第1層金属配線を介して、中間電圧電源ノードに中間電圧を伝達することができ、またシャント用配線に対し何ら悪影響を及ぼすことなく中間電圧を伝達することができる。

## 【0156】

また、この中間電圧が、メモリセルキャパシタの基準電源ノードへ与えられるセルプレート電圧の場合、セルプレート電圧を安定に供給することができる。

## 【0157】

また、この中間電圧伝達線を、第2導電層下に形成される基準電源ノードに第2導電層に形成される金属配線を介して電氣的に接続することにより、シャント用配線のレイアウトに悪影響を及ぼすことなく確実にかつ安定に中間電圧をメモリセルキャパシタに供給することができる。

## 【0158】

また、サブワード線を行方向に沿って複数のグループに分割し、各サブワードドライバをグループ単位で選択動作を行なわせることにより、1つのメモリマトリクスを複数バンクに分割することができ、高速アクセスすることのできる半導体記憶装置を実現することができる。

## 【0159】

また、メインワード線と異なる配線層に、電源電圧を伝達する電源線を配置することにより、メインワード線およびシャント用配線のレイアウトに影響を及ぼすことなく、確実に電源電圧をメモリマトリクスへ供給することができ、安定に動作

する半導体記憶装置を実現することができる。

【0160】

また、この半導体記憶装置が混載メモリの場合、通常、積極的に利用されない導電層を、シャント用配線として利用することができ、追加の製造工程を伴うことなく、またマスクを切換えるだけで容易にシャント用配線を配置することができる。

【図面の簡単な説明】

【図1】 この発明に従う半導体記憶装置のメモリセルの断面構造を概略的に示す図である。

【図2】 この発明に従う半導体記憶装置の配線の配置を概略的に示す図である。

【図3】 この発明の実施の形態1に従う半導体記憶装置のメモリマットの構成を概略的に示す図である。

【図4】 (A)は、図3に示す1つの行ブロックの構成を概略的に示し、(B)は、図4(A)に示すメモリサブアレイの電氣的等価回路を示す図である。

【図5】 この発明の実施の形態1におけるサブワード線とシャント用配線とのコンタクトを概略的に示す図である。

【図6】 この発明の実施の形態1に従うワード線杭打ち部の構造を概略的に示す図である。

【図7】 (A)は、メインワード線とサブワード線との対応関係を概略的に示し、(B)は、メインワード線とシャント用配線との配置を概略的に示す図である。

【図8】 この発明の実施の形態1におけるワード線杭打ち部の構成をより具体的に示す図である。

【図9】 この発明の実施の形態1におけるセルプレート電圧伝達部のレイアウトを概略的に示す図である。

【図10】 図9に示す配置の各配線のレイアウトを概略的に示す図である。

【図 1 1】 この発明の実施の形態 1 における内部電圧伝達線の構成を概略的に示す図である。

【図 1 2】 この発明の実施の形態 1 の変更例におけるシャント用配線の構成を概略的に示す図である。

【図 1 3】 この発明の実施の形態 1 の多層配線構造の他の構成を概略的に示す図である。

【図 1 4】 この発明の実施の形態 2 における半導体記憶装置のメモリセルの構成を概略的に示す図である。

【図 1 5】 この発明の実施の形態 3 に従うメモリマットの構成を概略的に示す図である。

【図 1 6】 (A) は、図 1 5 (A) に示すメモリサブアレイの構成の電氣的等価回路を概略的に示す図であり、(B) は、図 1 6 (A) に示すサブワードドライバの構成の一例を示す図である。

【図 1 7】 (A) は従来の DRAM のメモリマットの配置の一例を示し、(B) は、図 1 7 (A) に示す 1 つのメモリマットの構成を具体的に示す図である。

【図 1 8】 図 1 7 (B) に示すメモリマット構成におけるワード線の構成を概略的に示す図である。

【図 1 9】 図 1 8 に示すワード線構造の電氣的等価回路を示す図である。

【図 2 0】 従来の半導体記憶装置の他のメモリマットの配置を概略的に示す図である。

【図 2 1】 図 2 0 に示すメモリマットの配置におけるワード線構造を概略的に示す図である。

【図 2 2】 図 2 1 に示すワード線構造の電氣的等価回路を示す図である。

【図 2 3】 図 2 2 に示すサブワードドライバの構成を概略的に示す図である。

【図 2 4】 従来のロジック混載メモリの構成を概略的に示す図である。

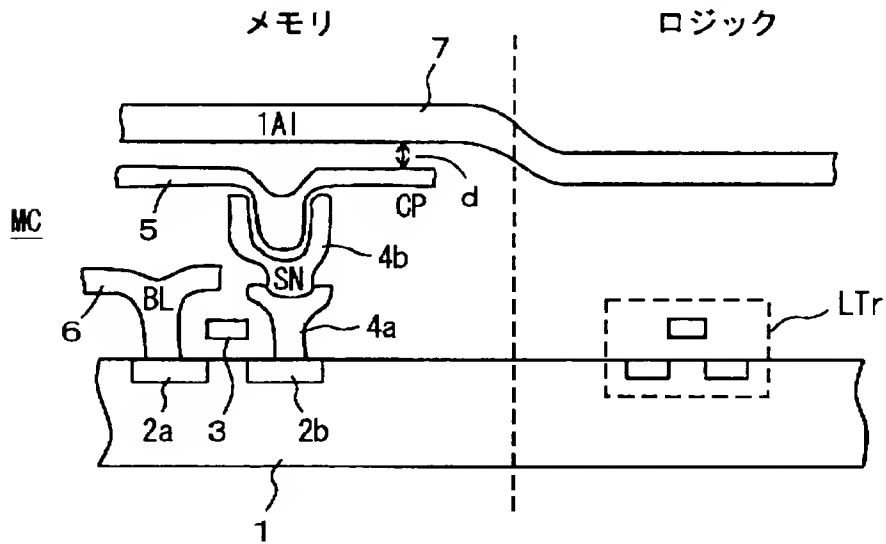
# 【符号の説明】

- 1 半導体基板領域、2 a, 2 b 不純物領域、3 ゲート電極層 (第 1 層ポ

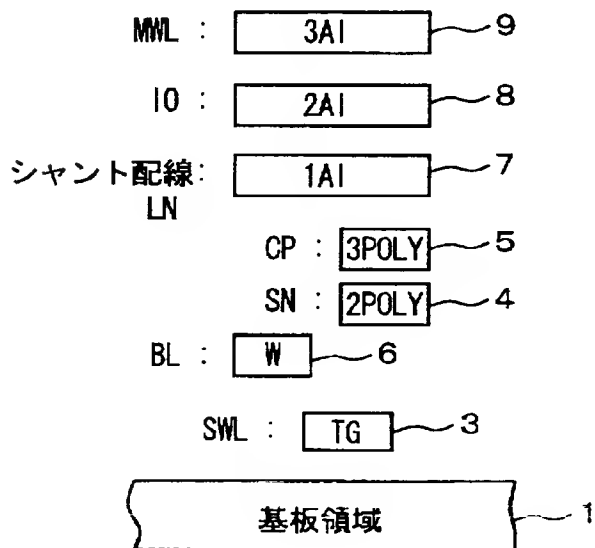
リシリコン配線)、4a, 4b ストレージノード電極層(第2層ポリシリコン配線)、5 ストレージノード電極層(第3層ポリシリコン配線)、6 ビット線(導電層)、7 第1層金属配線、8 第2層金属配線、9 第3層金属配線、SN ストレージノード、CP セルプレート電極、SWL サブワード線、MWL メインワード線、LN シャント用配線、SWD サブワードドライバ、SWDG0-SWDG(k+1) サブワードドライバ群、MWDG0-MWDGm メインワードドライバ群、RB0-RBm 行ブロック、SWB0-SWB(k+1) サブワードドライバ帯、MWB メインワードドライバ帯、SAB0-SAB(m+1) センスアンプ帯、SHT シャント領域、MWD メインワードドライバ、5a, 5b セルプレート電極配線(第3層ポリシリコン配線)、40 第2層金属配線、41, 42 サブ中間電圧伝達線、35a, 35b 第1層金属配線、40a, 40b 中間電圧伝達線、60 電源供給線、61, 62 サブ電源供給線、50 中間電圧伝達線、51, 52 サブ中間電圧伝達線、65 内部データ線(IO線)、72 シャント用配線、80 シャント用配線、81 第2層金属配線、82 第3層金属配線、90 半導体基板領域、91, 92 不純物領域、93 ゲート電極、94 トレンチ領域、95 セルプレート電極、96 ビット線導電層、97 第1層金属配線、SWDGL, SWDGR サブワードドライバ群、SWDL, SWDR サブワードドライバ。

【書類名】 図面

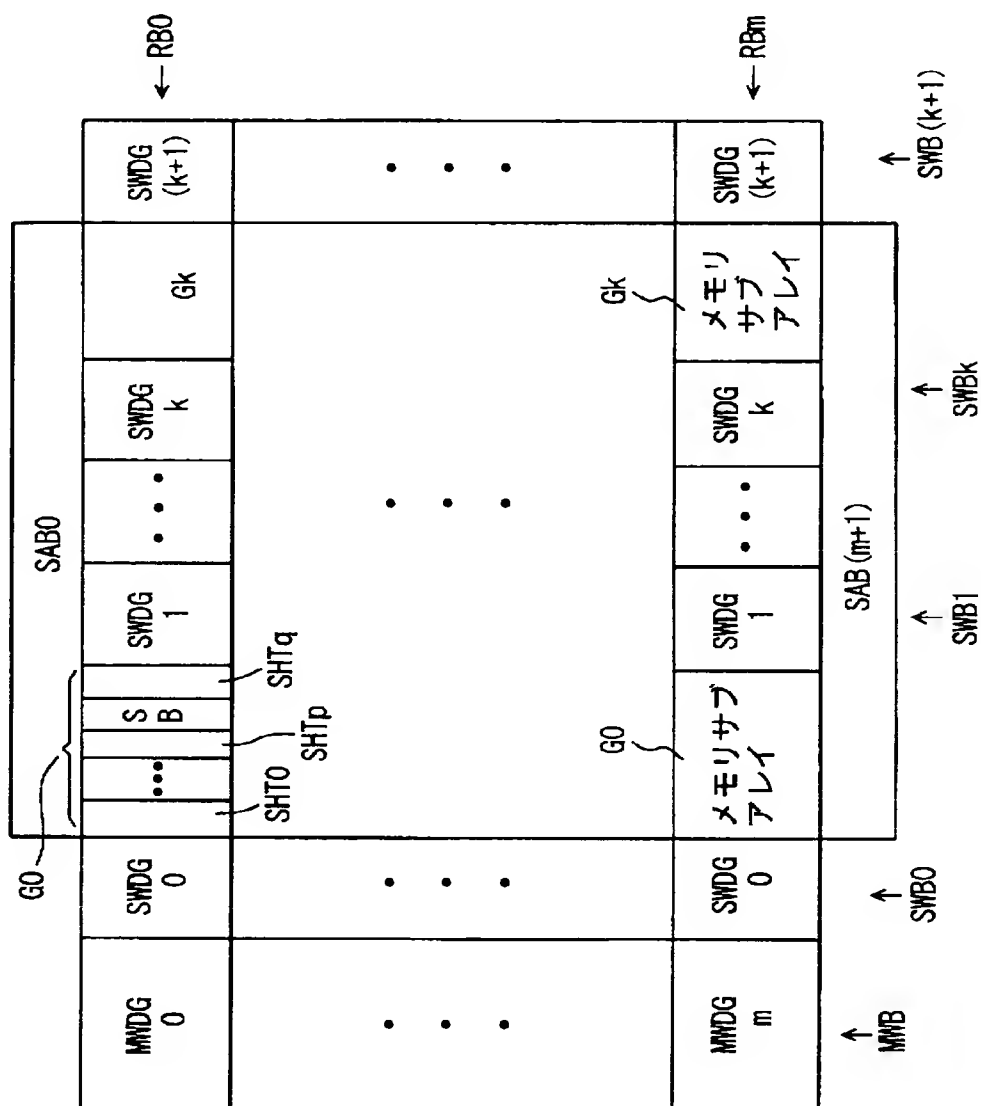
【図 1】



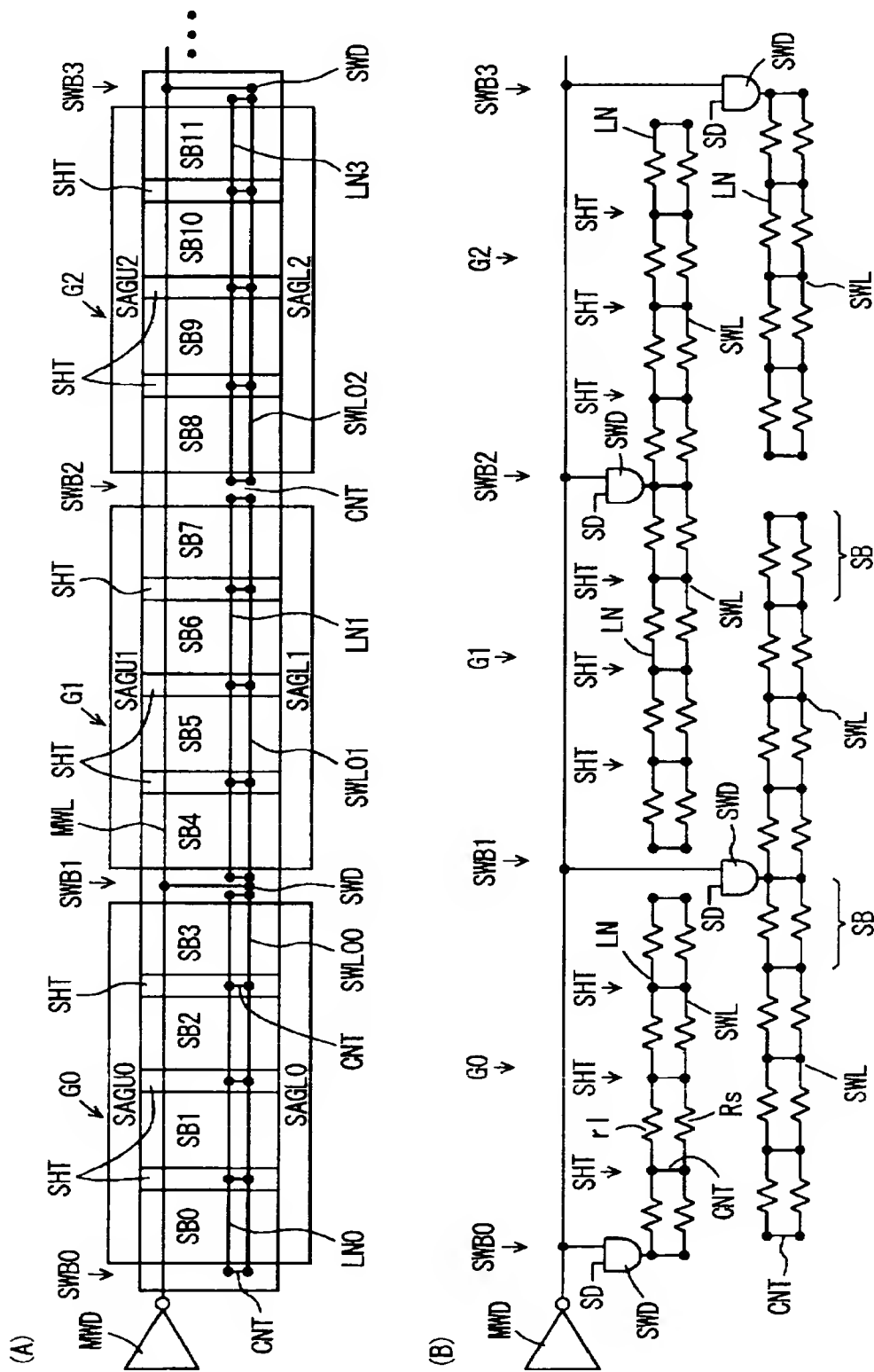
【図 2】



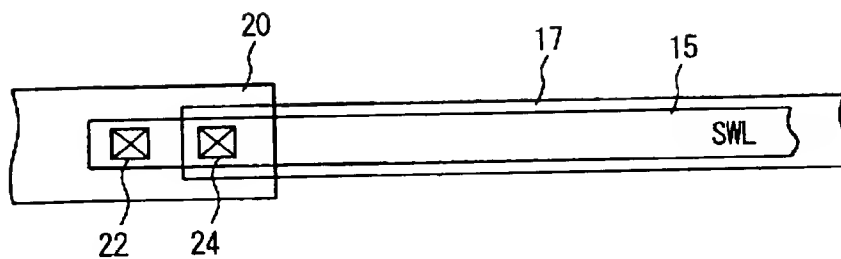
【図 3】



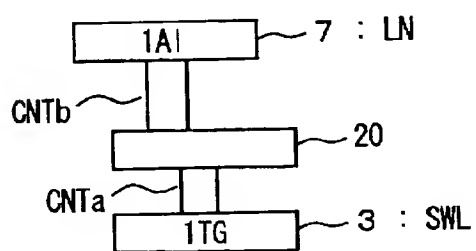
【図 4】



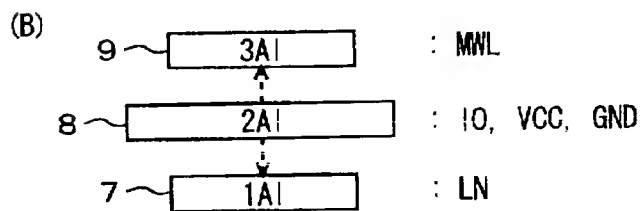
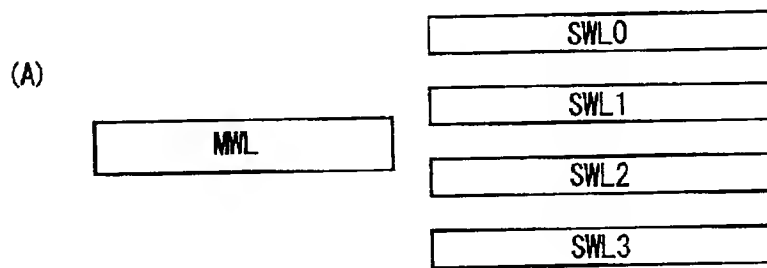
【図 5】



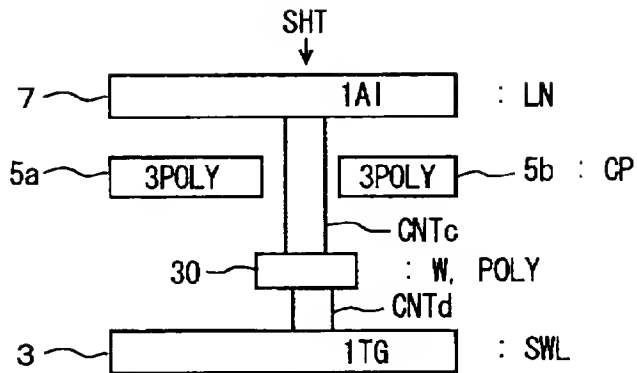
【図 6】



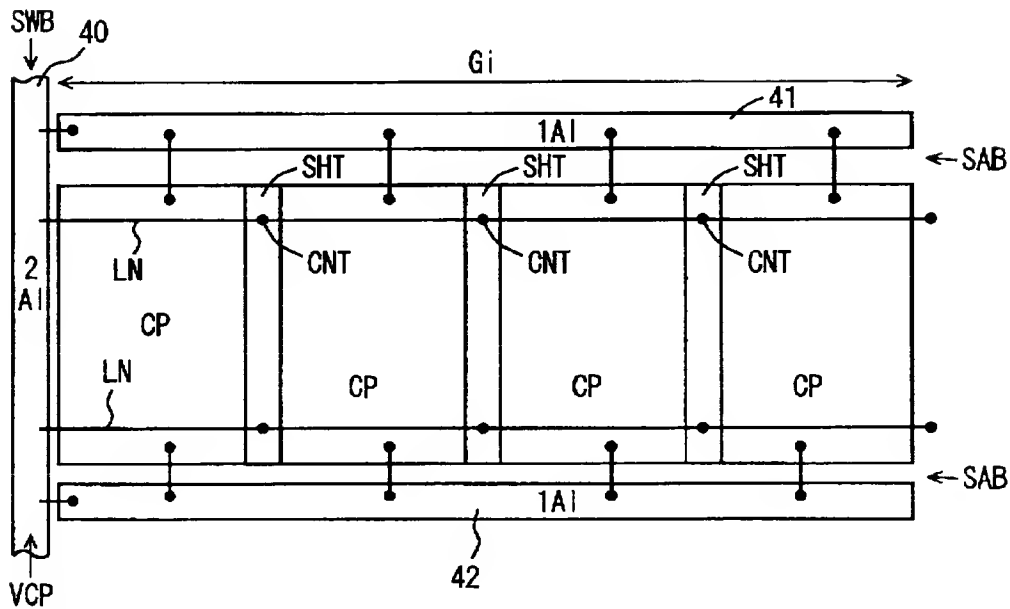
【図 7】



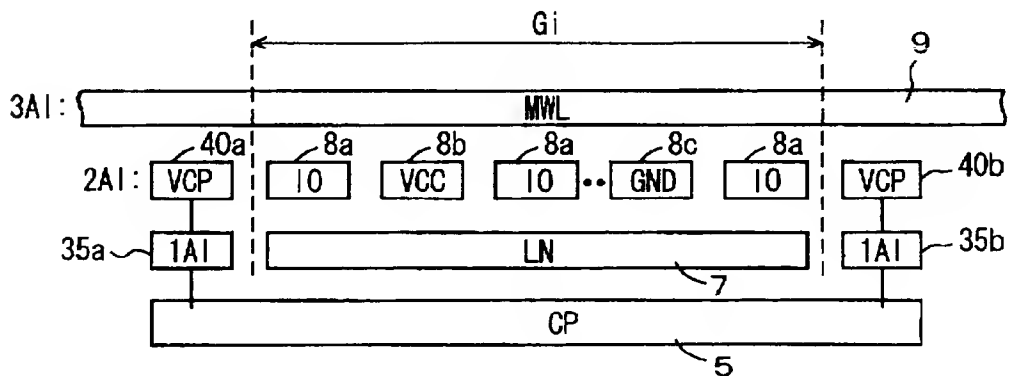
【図 8】



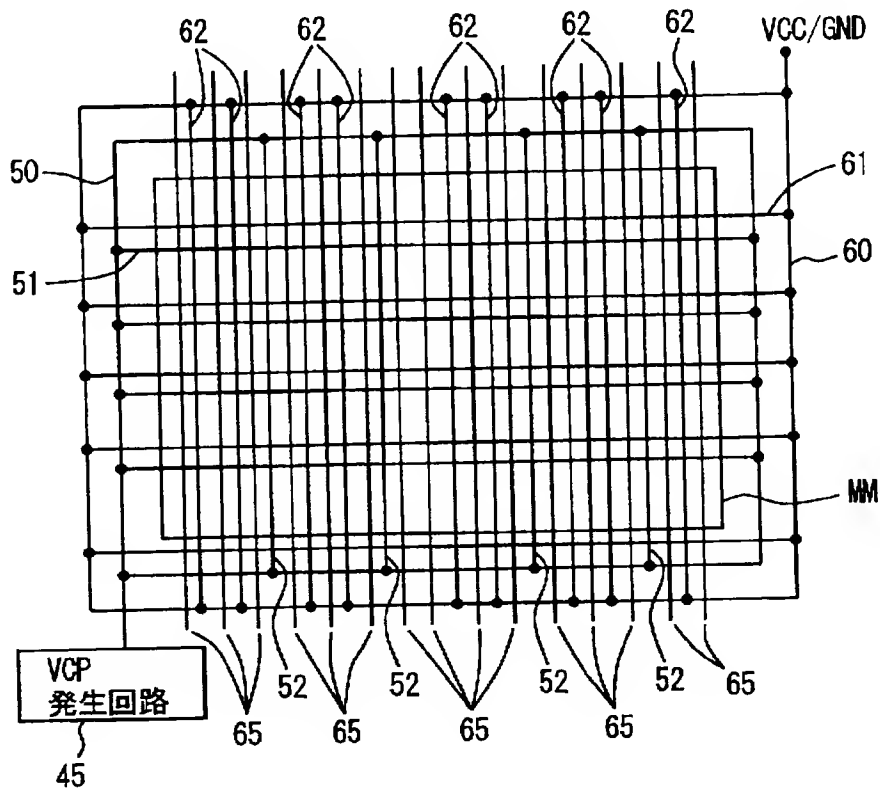
【図 9】



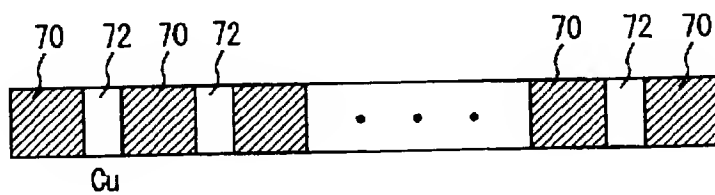
【図 10】



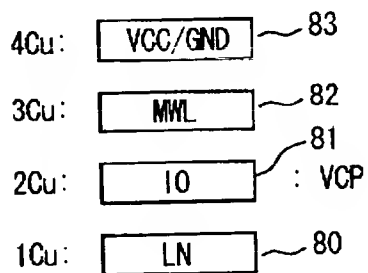
【図 1 1】



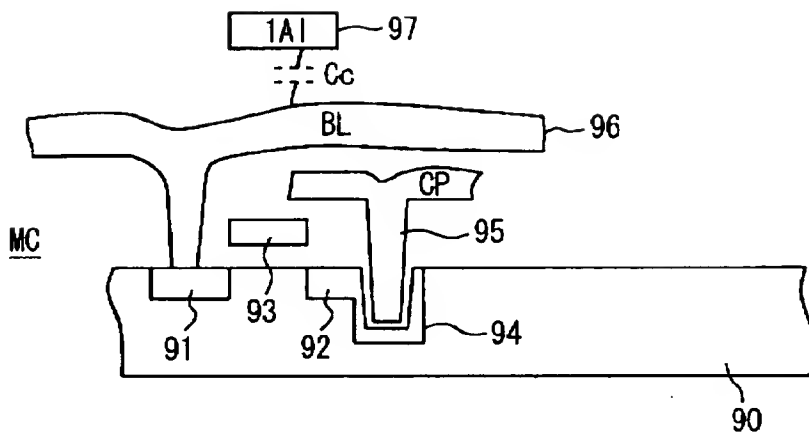
【図 1 2】



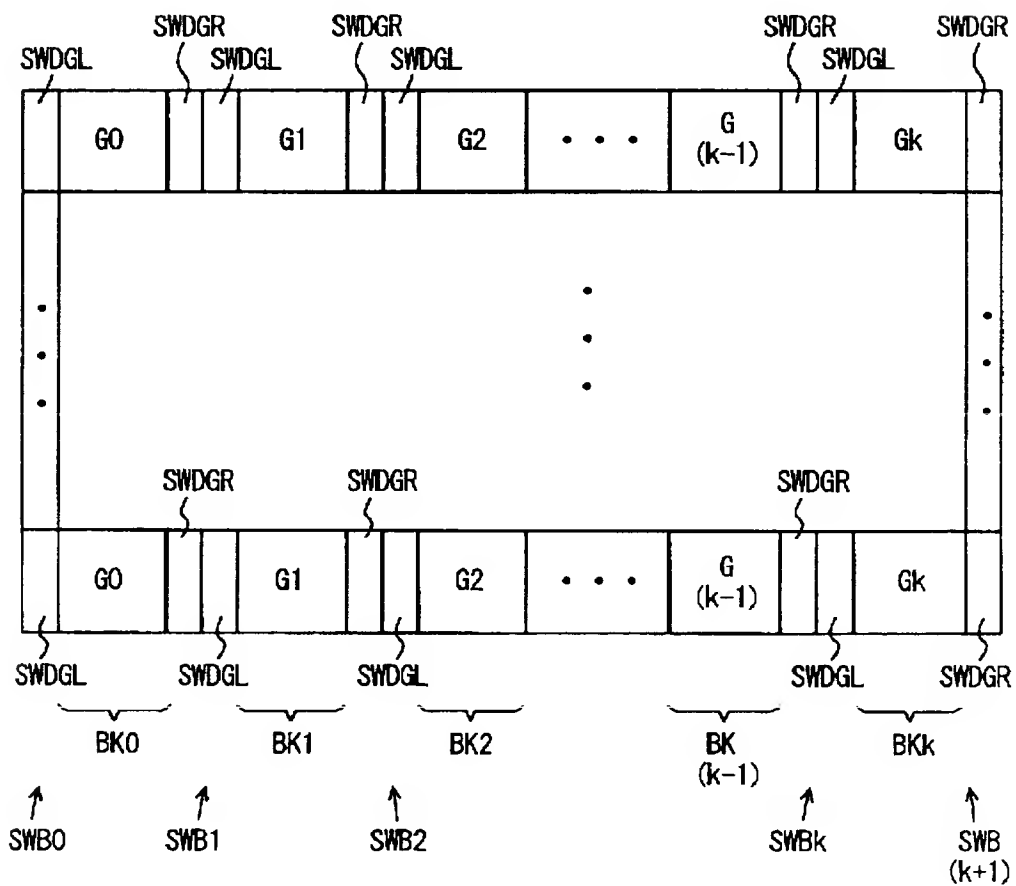
【図 1 3】



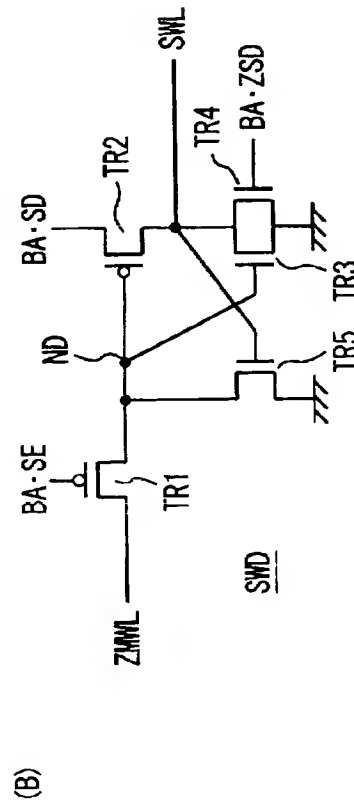
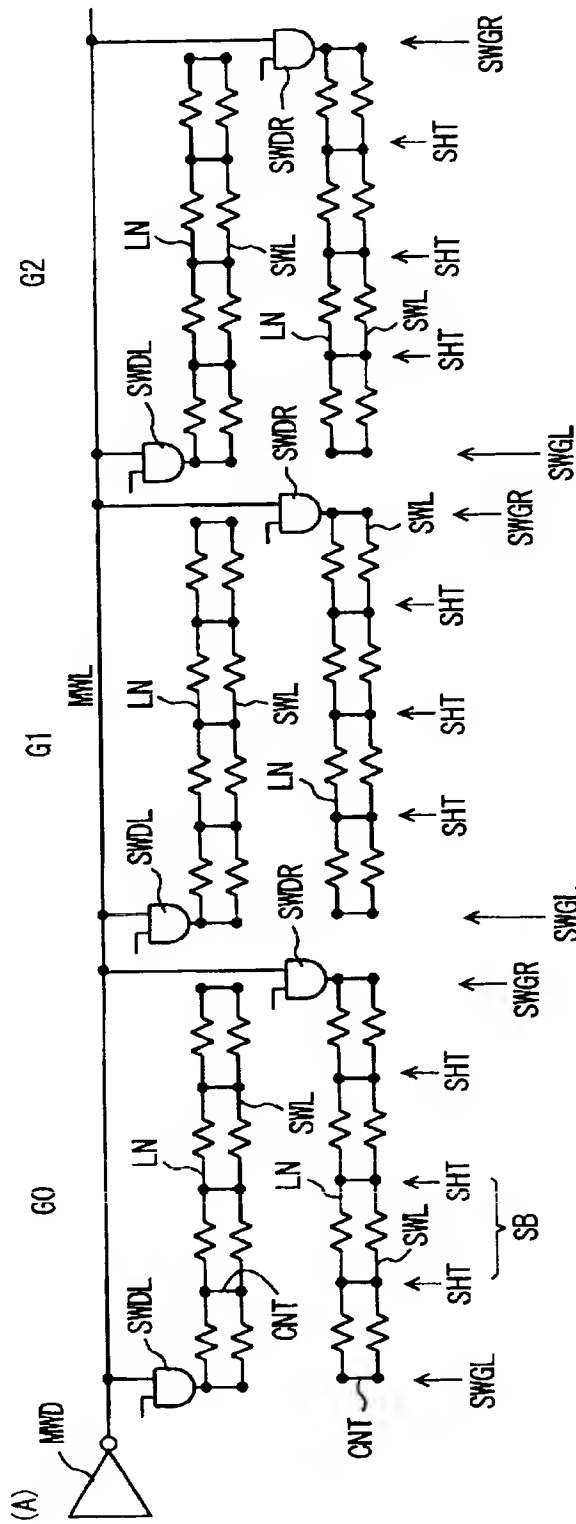
【图 14】



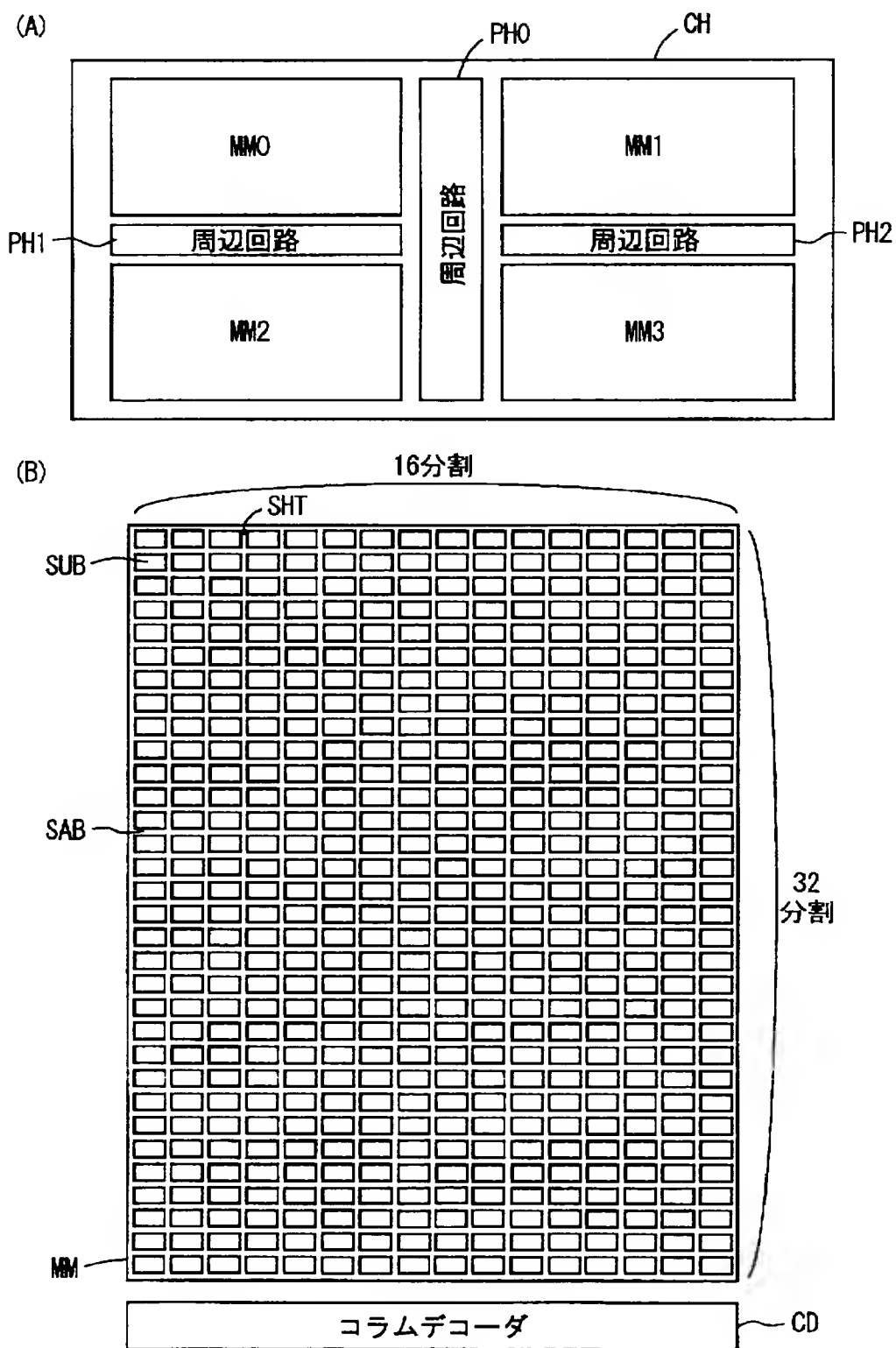
【图 15】



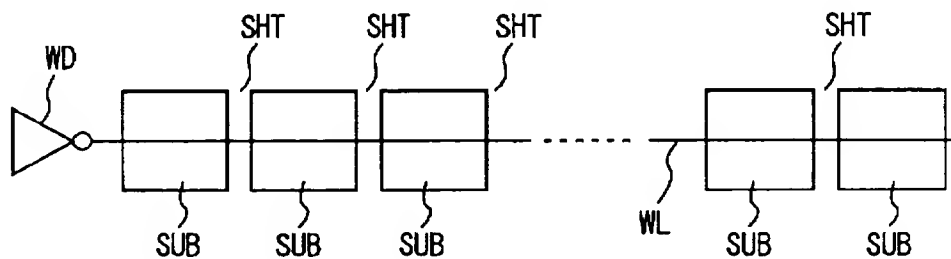
【図 16】



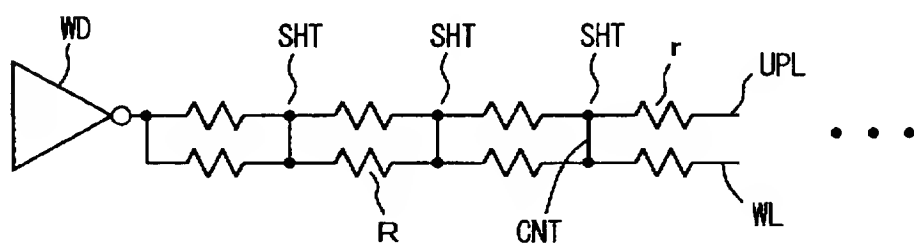
【図 1 7】



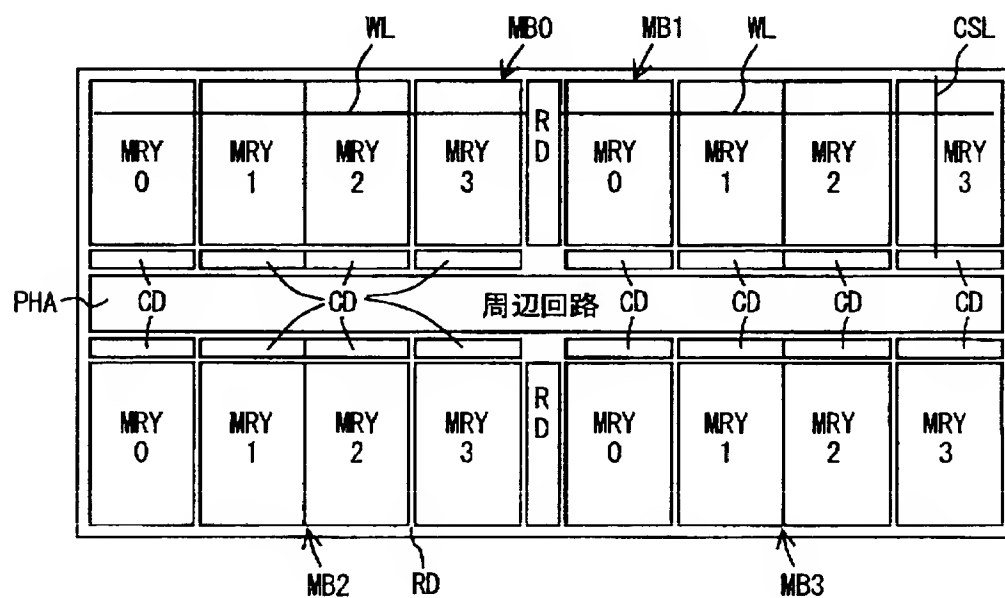
【図 1 8】



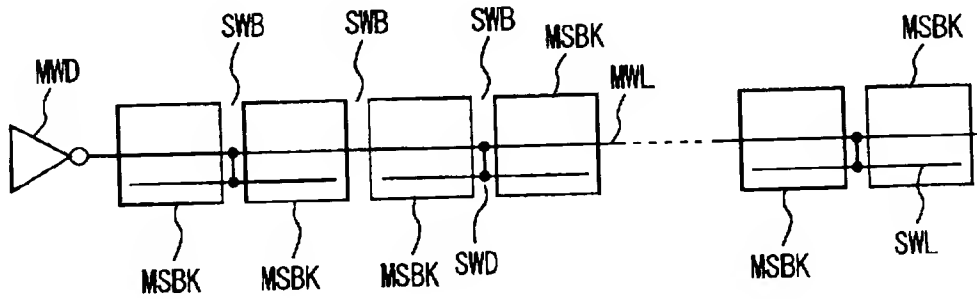
【図 1 9】



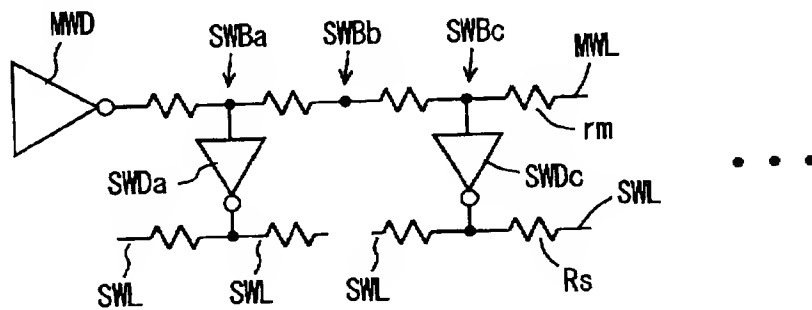
【図 2 0】



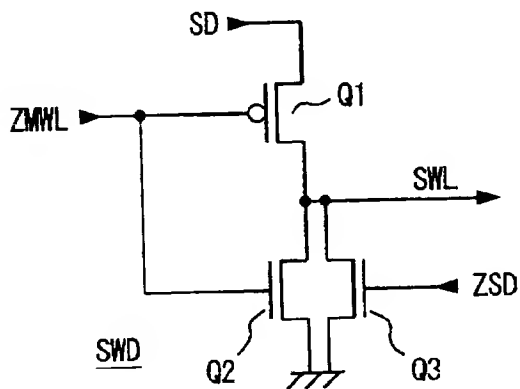
【図 2 1】



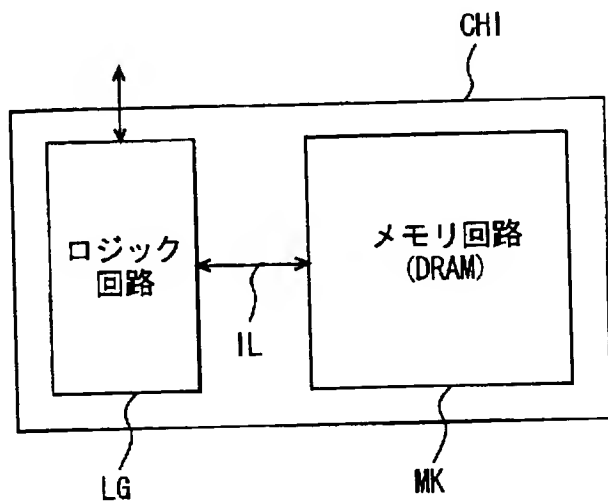
【图 2 2】



【図 2 3】



【図 24】



【書類名】 要約書

【要約】

【課題】 アレイ占有面積および製造工程を増加させることなく高速でワード線を選択状態へ駆動する。

【解決手段】 メインワード線MWLとなる第3層金属配線9下層の第1層金属配線7をシャント用配線として用いて、サブワード線SWLを構成する第1層ポリシリコン配線3に電氣的に所定間隔で接続する。階層ワード線構造およびワード線杭打ち構造両者を適用することにより、高速でサブワード線を選択状態へ駆動する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社